

29a-H-8

Coサリサイドを用いたSiパワー-MOSFETの低電圧動作

High efficiency 2 GHz power Si-MOSFET design under low supply voltage down to 1V

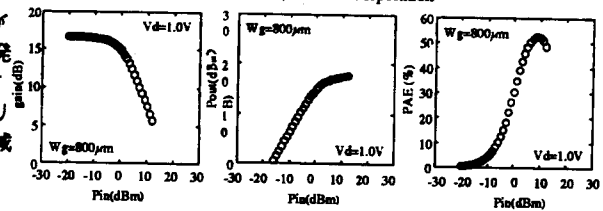
大黒 達也、斎藤 聖伸、森藤 英治、村上 功治、松崎 和博、吉富 崇、森本 豊太、百瀬 寿代、勝又 康弘、岩井 洋

T. Ohguro, M. Saito, E. Morifuji, +K. Murakami, +K. Matsuzaki, T. Yoshitomi, T. Morimoto, H. S. Momose, Y. Katsumata, and H. Iwai

東芝マイクロエレクトロニクス研究所、個別半導体事業部

Microelectronics Engineering Laboratory,
+ Discrete Semiconductor Division, Toshiba Corporation

パワーデバイスの3V以下の低電圧動作については、そのgmがSiデバイスよりも大きいことから、化合物半導体ではすでに発表されており良好な特性が示されている。我々はSi MOSFETのゲート長及びLDD N-のドーズ量を検討し、さらに、Coサリサイドを用いて、ゲート、ソース、ドレインの寄生抵抗を低減することで、十分なソース/ドレイン間耐圧を保持しながら、1V電源でも正常な動作をすることを確認した。右図に入力出力特性を示した。ゲート長は0.2μmでLDD N-のドーズ量を2.0E14cm⁻²とした。ゲート抵抗は2.1Ω/sqである。



動作周波数2GHzで最大負荷効率53%が得られており、Siパワー-MOSFETでも低電圧動作が可能であることが分かった。

- [1] T. Tsuyoshi et al., "1.5V-operation GaAs spike-gate power FET with 65% power-added efficiency," IEDM Tech. Dig., pp.181-184, 1995.
- [2] I.Keiko et al., "1.2V operation 1.1W heterojunction FET for portable radio application," IEDM Tech. Dig., pp.185-188, 1995.

29a-H-9

Serially Insertion of Cut-off MOSFET CMOS (SCCMOS)による低消費電力化

Serially Insertion of Cut-off MOSFET CMOS (SCCMOS) for Low-Power Operation

東京大学生産技術研究所

川口 博

櫻井 貴康

IIS, University of Tokyo

Hiroshi Kawaguchi

Takayasu Sakurai

低電圧・低消費電力回路技術としてSCCMOSについて述べる。SCCMOSの回路構成はMTCMOSと同様、低しきい値電圧回路と電源間にスタンバイ時のリーク電流制御のためのトランジスタを挿入したものである。しかし挿入トランジスタに低しきい値のものを用いている点が異なる。実現方法として図1の2種類を提案する。これらは同時に複合させることも可能である。図1(a)はゲートを負電圧、図1(b)は基板を負電圧にバイアスすることによりスタンバイ時のリークをカットオフする。いずれの回路もSSB (Self-Sub-Bias circuit:[1]参照)を利用する。図2は遅延時間のシミュレーション結果の一例である。シミュレーションは典型的な0.5μmプロセスを想定して、SPICEで行った。MTCMOSは挿入トランジスタに高しきい値のものを用いるため、その制限から動作電圧を低電圧化出来ないが、SCCMOSは0.5V動作が可能であることを示している。なお、リーク電流は双方とも同等であるため、SCCMOSは低電圧動作に優れていることが理解できる。また異なる低消費電力回路技術としてVTCMOSがあるが、これはチップ全体の基板電圧を可変するため多数の基板コンタクトが追加になり、セルラリブラリ等の従来からの設計データベースを変更しなければいけないが、SCCMOSの場合は変更を局所化できる。当日は他の低消費電力回路との比較およびシミュレーションの結果を定量的に報告する予定である。

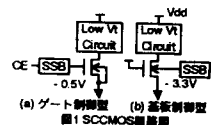


図1 SCCMOS回路図

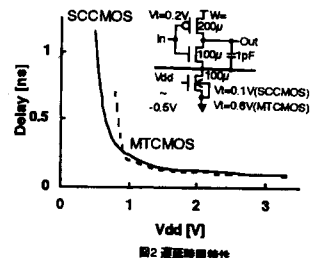


図2 遅延時間特性

29a-H-10

低消費電力 LSI 用 MOSFET デザインの検討 1

A study of MOSFET design for low-power LSI

(株)東芝 LSI 第二事業部、デバイス技術研究所

大谷 寛、山口 崇、五十嵐 弘文、親公 尚人、衣川 正明

LSI Div. II, ULSI Device Eng. Lab., TOSHIBA Corp.

H. Ohtani, T. Yamaguchi*, H. Igarashi*, H. Oyamatsu*, M. Kinugawa*

【はじめに】 LSI の最適 MOSFET デザインをするには、typical 性能の追求のみでなく、性能のばらつきを考慮することが重要である。例えば LSI チップ内の MOS 特性ばらつきは、LSI としての性能を著しく劣化させてしまう。特に低消費電力化のために電源電圧を下げる場合、ばらつきの割合が増大されて現れるため、MOS 特性ばらつきの抑制が非常に重要な課題となる。そこで、MOS 特性ばらつきの要因・感度解析を行い、性能とばらつき抑制の観点から低消費電力 LSI を実現するための MOSFET デザインの検討を行った。

【検討方法】 チャネル W 条件、エクステンション形成条件、ゲート長、ゲート酸化膜厚等の異なる数種の MOSFET を試作し、MOS 特性を取得。更に個々の MOSFET について測定したゲート長、ゲート酸化膜厚等をパラメータとした回帰分析により、MOS 特性の各パラメータに対する感度の解析を行い、各条件間での比較を行った。

【検討結果】 図1は5nmのゲート酸化膜と様々なゲート長を持つ nMOSFET のしきい値電圧ばらつきに対し、ゲート長、ゲート酸化膜厚、チャネル濃度の数値を用いて重回帰分析を行った結果である。ターゲットのゲート長によって、ばらつきに対する各パラメータの支配率が大きく変化していることが判る。ゲート長が短い領域でゲート長のばらつき支配率が高いのは、ショートチャネル効果によるものである。これらのばらつきの感度と各パラメータの支配率は、ゲート長を含めた MOS デザインに対する依存性を持っている。図2はデザインの異なる種々の MOSFET について typical 性能とゲート長ばらつきに対する感度を示したものである。高速化を狙って実効チャネル長を短くしたものは、ショートチャネル効果が顕著になるためにゲート長ばらつきに対する感度が増大し、低電圧動作には不利になってしまっている。しかし、この MOSFET のエクステンション部を最適設計することにより、駆動電流劣化を小さくしつつ、特性ばらつきを抑えられることが判った。さらにゲート酸化膜を薄層化することの有効性と、その最適条件を確認することができた。

講演会では、MOSFET 性能とばらつき抑制についての定量的な議論を行う。

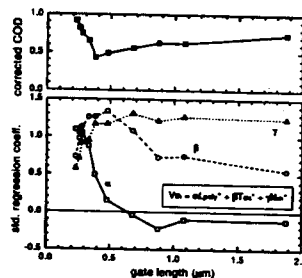


図1 しきい値電圧ばらつきの感度解析結果

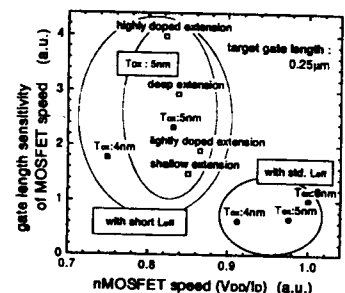


図2 各 MOS デザインにおける MOSFET スピードとゲート長ばらつきに対する感度