

## 3

# LSIの低消費電力化

第3部 技術官 川口 博

### 第1章 はじめに

LSIをご存知でしょうか？

LSIには現在、社会環境の変化に伴って、低消費電力化が求められています。このことについてなるべくわかりやすく説明するように努め、低消費電力化のための技術を2つ紹介します。

#### 1.1 身近なLSI

LSIとは大規模集積回路のことです。鉄鋼に代わり、現代では“産業の米”といわれる半導体の1つのかたちです。このLSIは家電製品はもちろんのこと、コンピュータや意外なところでは乗用車にも使用されています。ご覧になった方も多いと思いますが、パソコンのふたを開けると、緑色の板の上に黒いゲジゲジが張り付いています。これがLSIの正体です。最近では200本を超える足を持ったものもあり、まさに百足(むかで)をも凌駕しています。

こんなLSIですが、多いのは足の数だけではありません。内部には1ミクロンほどのごく小さなトランジスタが多いものでは何百万個も入っています。これらのトランジスタがスイッチングすることにより、いろいろな演算が可能になります。演算の結果は一般には画像や音声になり、人間に対して表現されます。また炊飯器の場合はお米の炊き加減、空調機器の場合は温度や湿度など、人間にとって意味のあるものになります。

LSIはほんの数年前までは人間と距離を置かれていました。台所や机の上などに置かれ、人間といっしょに外出することはありませんでした。しかし携帯電話に代表されるように、LSIもついに“身につける”時代に突入しました。この携帯電話が突破口となり、コンピュータといっしょに外出する、いわゆる“モバイル・コンピューティング”も常識になりつつあります。このような用途では機器の動作時間を長持ちさせるために、LSIの低消費電力化が技術的な鍵になります。

#### 1.2 CMOS回路

現在のLSIはCMOSと呼ばれる技術が主流です。CMOSの前はNMOS、その前はバイポーラと呼ばれるものでした。バイポーラは高速ですが、消費電力が大きく、集積度が上がるに連れて問題となりました。そこでNMOSが登場したのですが、この命も長いものではありませんでした。理由はバイポーラと同様に消費電力でした。誰も、そして何も消費電力には勝てません。CMOSも、もしかすると短い命なのかもしれませんが、困ったことにCMOSに置き換わる新しい技術がまだ見つかっていません。いつまで持つのかわかりませんが、とにかく現状ではCMOSで頑張るしかありません。

そういうわけで、まずは低電圧・低消費電力回路技術としてSCCMOSについて述べ、さらにRCSFFについて触れます。

### 第2章 SCCMOS (Serial Insertion of Cut-off MOSFET CMOS)<sup>1)</sup>

#### 2.1 低電圧化のニーズと問題点

携帯機器は電池動作が原則です。そのため低消費電力化しなければいけません。低消費電力化のために最も有効な手段は低電圧化です。現在のLSIは一般的に3.3Vの電源電圧で動作しています。これを、例えば太陽電池の出力電圧まで低下させることを考えると、0.5Vから1V程度で動作させなければいけません。また、スケーリング則と呼ばれる法則に従って電源電圧も低下していき、将来の電源電圧は0.5V以下になるかもしれません。しかしこれに伴う問題も発生します。

0.5Vから1Vの電源電圧ではしきい値電圧 $V_{th}$ は0.2V程度であることが予想されます。しきい値電圧とはトランジスタがオンし始める電圧のことです。このしきい値電圧が小さいほど回路が動作していない時、すなわちスタンバイ時に電流のリーク(漏れ)が多くなります。例えば $V_{th}=0.15\pm 0.05V$ で100万トランジスタの

LSIを仮定した場合、リーク電流は数十 mA にも達します。

## 2.2 SCCMOS 方式

スタンバイ時にリーク電流を遮断する回路方式として SCCMOS を提案します。図 2-1 が SCCMOS の回路図です。

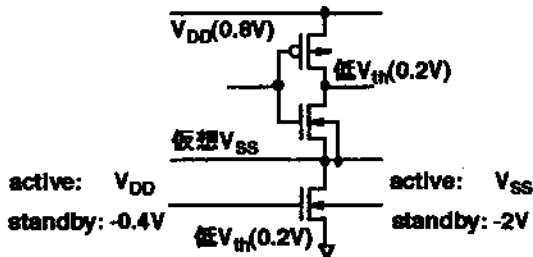


図 2-1 SCCMOS 方式

低しきい値電圧回路と電源間にトランジスタを挿入し、スタンバイ時のリーク電流を遮断します。後述の MTCMOS とは異なり、この挿入トランジスタに低しきい値のものを用いています。挿入トランジスタの制御方法として 2 種類を提案します。図 2-1 の左側に示すように、ゲートに負電圧を与える方式(ゲート制御方式)と右側に示すように基板に負電圧を与える方式(バックゲート制御方式)です。ここでは電源電圧を 0.8V と仮定し、ゲート制御方式ではゲートに -0.4V を加えます。また、バックゲート制御方式では基板に -2V を加えます。このようにして、スタンバイ時のリーク電流を遮断します。

ところでゲートに負電圧を加えると、酸化膜の信頼性の問題が持ち上がります。将来はますます酸化膜が薄くなることが予想され、さらに問題となるはずで、酸化膜の耐圧が 1.2V 以上の場合には図 2-2 のように、1 段の挿入トランジスタで信頼性上問題ありません。

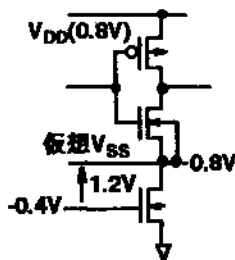


図 2-2 酸化膜の信頼性に問題がない場合

しかし酸化膜の信頼性上の問題がある場合、例えば酸化膜の耐圧が 0.8V ならば、図 2-3 のように挿入トランジスタを 2 段積みすることにより、信頼性の確保ができます。

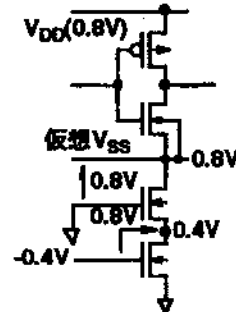


図 2-3 酸化膜の信頼性に問題がある場合

## 2.3 他回路方式との比較

### 2.3.1 MTCMOS 方式

図 2-4 は MTCMOS の回路図です。回路構成は SCCMOS と同様ですが、挿入トランジスタに高しきい値のものを用いています。

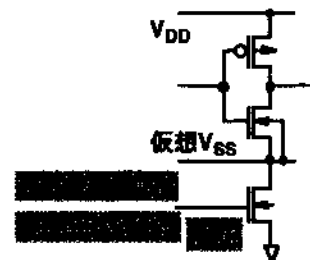


図 2-4 MTCMOS

電源電圧が高ければ問題はないのですが、低電源電圧の場合では、高  $V_{th}$  のトランジスタはオンしません。このため MTCMOS は低電源電圧では回路動作しません。また 2 種類の  $V_{th}$  が必要であるため、マスクの枚数が増え、コストが増加します。なお問題となるリーク電流の大きさは  $V_{th}$  の差異の分だけ SCCMOS でゲートに負電圧を加えればまったく同等です。

### 2.3.2 VTCMOS 方式

図 2-5 は VTCMOS の回路図です。VTCMOS は基板電圧を一括で制御しなければならないため、基板コンタクトが追加になります。このため従来のセル・ライブラリ等の設計資源の変更が局

所的ではありません。また SOI と呼ばれる基板では利用できません。しかし SCCMOS では設計資源の変更を局所化でき、かつ SOI でも利用可能です。

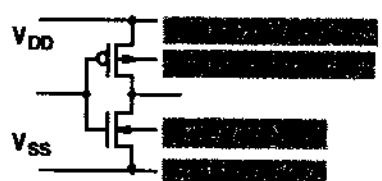


図 2-5 VTCMOS

2.4 制御回路

図 2-6 はゲート制御回路、図 2-7 はバックゲート制御回路のモデルを示したものです。VG と VBB の制御系についても簡単に示しています。詳細については文献[2]をご覧ください。

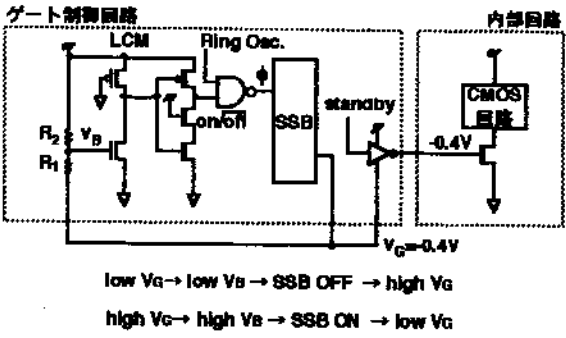


図 2-6 ゲート制御回路

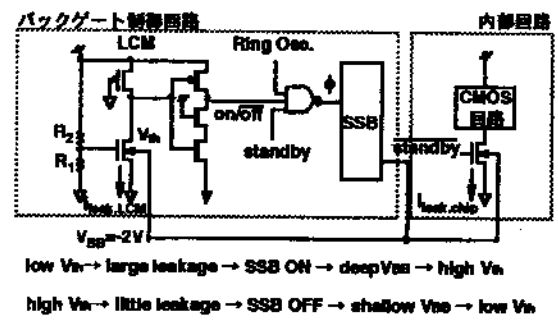


図 2-7 バックゲート制御回路

2.4.3 SSB (Self-Substrate Bias) 回路

図 2-8 は SSB と呼ばれる負電圧を作り出す回路で、チャージ・ポンプと呼ばれる原理を利用しています。φ1 と φ2 はリング・オシレータの出力を利用して作り出します。

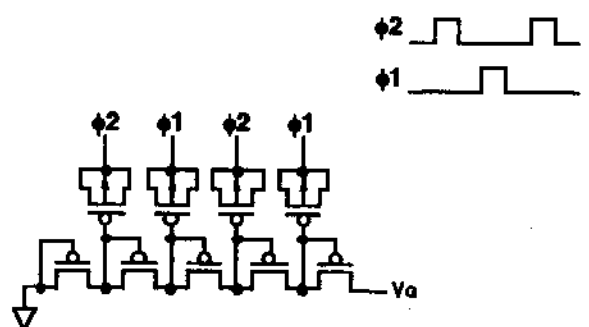


図 2-8 SSB 回路

図 2-9 は SSB の出力を SPICE とよばれるシミュレータでシミュレーションしたものです。-0.4V の負電圧を出力していることが理解できると思います。

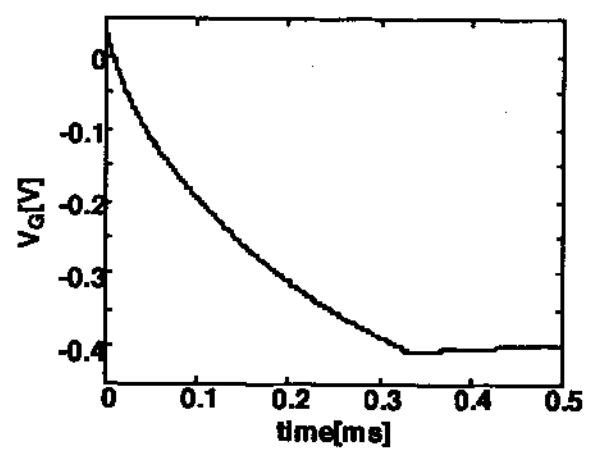


図 2-9 SSB の出力電圧

2.5 シミュレーション結果

図 2-10 も同様に SPICE で 10 段の 2 入力 NAND (2NAND) の遅延特性をシミュレーションしたものです。直列挿入 MOSFET がない通常の CMOS 回路とはほぼ同等の特性を有し、MTCMOS に比べて低電源電圧領域での特性が優れていることが理解できます。

2.6 まとめ

- SCCMOS は 0.5V 程度の低電圧でも、スタンバイ電力を犠牲にすることなく動作します
- 直列挿入 MOSFET の大きさは内部回路の 10%程度で済みます
- DTMOS との組み合わせでも有効です
- 将来の 0.5V から 1.0V の低電圧 LSI においても利用できます

0.5 $\mu$ mルール, 2NAND内部のTrは全て100 $\mu$ m

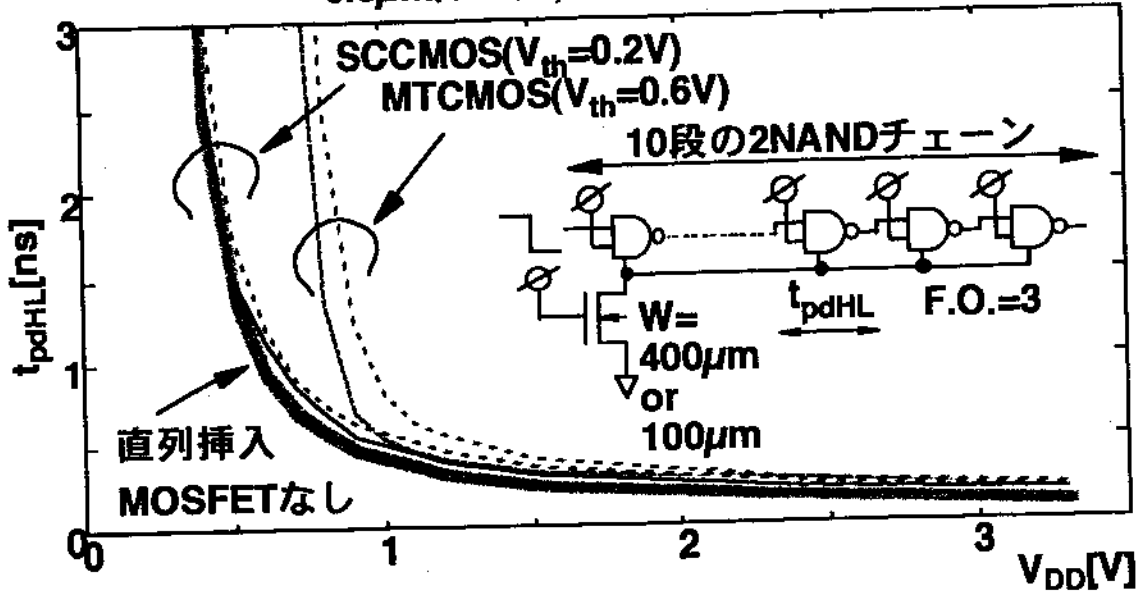


図2-10 遅延特性

### 第3章 RCSFF (Reduced Clock-Swing Flip-Flop)<sup>[3]</sup>

#### 3.1 背景

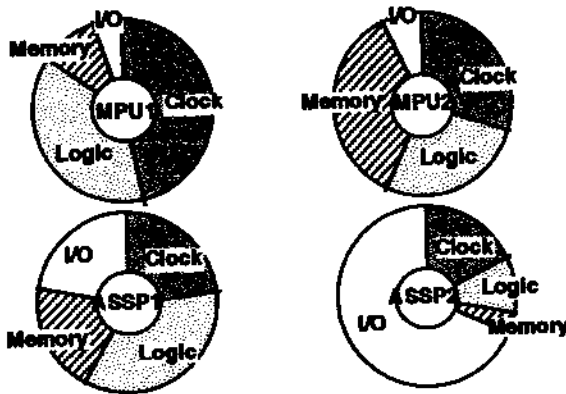


図3-1 様々なLSIの消費電力分布

図3-1の4つの円グラフは様々なLSIの消費電力分布を示したものです。MPU1は組み込み用途のためのローエンド・マイクロプロセッサです。MPU2はキャッシュと呼ばれるメモリを大量に実装したハイエンド・マイクロプロセッサです。ASSP1はMPEG2のデコーダ、ASSP2はATMスイッチです。LSIによって消費電力分布が異なることがわかります。しかしながら、どのLSIにおいても、クロックとロジックの割合

がほぼ同じなのは興味深いところです。

ここでは、クロックについて考えてみましょう。フリップ・フロップを駆動するクロック・ドライバとフリップ・フロップの消費電力の割合は全体の20%から45%にも達します。このうちの90%は末端のクロック・ドライバおよびフリップ・フロップによって消費されています。クロックがこれだけ多くの電力消費をする理由はクロックの遷移確率が100%だからです。すなわち必ずオン・オフを繰り返します。このため、クロックの消費電力を押さえることは重要であり、LSIの低消費電力に貢献できます。

#### 3.2 クロックの消費電力

クロックの消費電力  $P_{clock}$  は回路構成にもよりますが、次式で与えられます。回路構成については後ほど述べます。

$$P_{clock} = a \cdot f \cdot C \cdot V_{DD} \cdot V_{clock}$$

もしくは

$$= a \cdot f \cdot C \cdot V_{clock}^2$$

遷移確率  $a$  は1、すなわち100%です。動作周波数  $f$  を変化させることはできません。動作速度が変化してしまうからです。そこで、負荷用量  $C$ 、電源電圧  $V_{DD}$ 、クロック振幅  $V_{clock}$  のい

ずれか、もしくはいくつかを変化させます。クロックによる消費電力の低減のために最も早い方法は、 $V_{clock}$  を低減することです。消費電力は  $V_{clock}$  に比例、もしくは  $V_{clock}$  の 2 乗に比例するからです。文献[4]にクロック振幅を半分にするアイデアが述べられていますが、これは 4 本のクロック線が必要であり、これら接続のための容量が大きくなります。さらに 4 本のクロック線を配線することは面積の増加につながりますし、位相の調整も困難です。しかし、RCSFF の場合はたった 1 本のクロック線のみで駆動できる新しい小振幅フリップ・フロップです。

またトランジスタの数を少なくすると一般に  $C$  が低下するので、これも効果があります。

### 3.3 RCSFF の特徴

RCSFF はクロック振幅を小さくしかつトランジスタの数を減らした低消費電力志向のフリップ・フロップでクロックの消費電力低減に効果があります。

図 3-2 は従来のフリップ・フロップの回路図です。

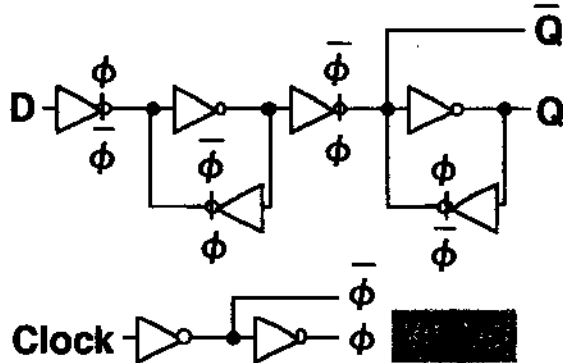


図 3-2 従来のフリップ・フロップ

従来のフリップ・フロップにおいてはクロック振幅を低減することはできませんでした。なぜならば両相クロックが必要だからです。

図 3-3 は RCSFF の回路図です。一般にフリップ・フロップはマスタ・ラッチとスレーブ・ラッチに分けられますが、RCSFF の場合はマスタ・ラッチとして単相フリップ・フロップを、スレーブ・ラッチとしてクロス・カップルされた NAND ラッチを使用しています。マスタ・ラッチはカレント・ラッチ型センス・アンプ、ス

レーブ・ラッチは RS フリップ・フロップと呼ばれています。この RCSFF は単相フリップ・フロップであるために、振幅低減したクロックを受け付けることが特徴です。

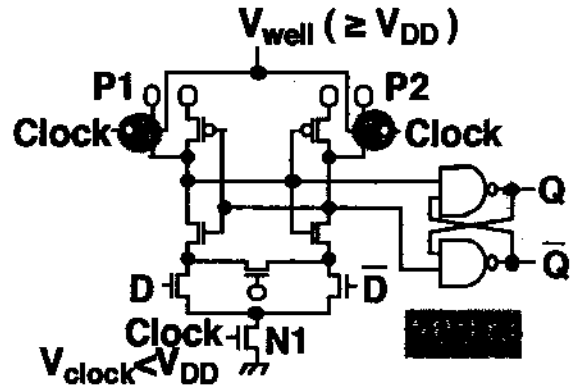


図 3-3 RCSFF

さらに RCSFF は MOSFET の数が従来のフリップ・フロップより少なく構成できます。従来のフリップ・フロップのトランジスタの数は 24 です。これに対して、RCSFF の場合、 $\bar{D}$  を発生させるインバータを含めて全部で 20 トランジスタです。クロッキングされる MOSFET の数も 12 対 3 (P1, P2 と N1) と少ないです。さらに P1 と P2 の大きさは最小で済みます。このため容量が小さく、ひいては電力を押さえることができます。このように RCSFF ではクロック振幅を低減することができますが、ここで問題が発生します。それは P1 と P2 が完全にスイッチ・オフしないというものです。このため、P1 もしくは P2 のどちらかを通して、リーク電流が流れます。しかしながら RCSFF はこのリーク電流をカット・オフする機構を持っています。プリチャージ・トランジスタ P1 および P2 にバックゲート・バイアス  $V_{well}$  を加えることにより、P1 および P2 のしきい値電圧を上昇させることができます。これによりリーク電流を完全にカット・オフすることができます。もし、スタンバイ・モード等でクロックを止めるべき時は、クロックは  $V_{SS}$  で停止させなければいけません。こうすればバックゲート・バイアスを加えることなく、リーク電流が流れなくなります。

RCSFF にはこのようにリーク電流を遮断する仕組みが備わっています。

### 3.4 クロック・ドライバ

次に低減クロック・ドライバについて説明いたします。基本的には図3-4に示すようにA型とB型の2つの型のクロック・ドライバがあります。

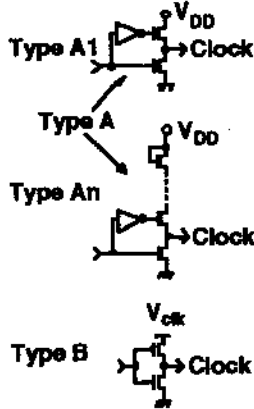


図3-4 クロック・ドライバ

A型ではクロック振幅  $V_{clock}$  は挿入されている MOSFET の数に従って

$$A1 \text{ 型: } V_{clock} = V_{DD} - V_{th}$$

$$A_n \text{ 型: } V_{clock} = V_{DD} - n \cdot V_{th}$$

となります。この条件ではクロック系の電力消費は  $V_{clock}$  に比例します。A型ではDC-DCコンバータや外部電力供給は必要ありませんので、設計が簡単です。

これに対してB型では  $V_{clock}$  は

$$B \text{ 型: } V_{clock} = \text{任意の電圧}$$

となります。 $V_{clock}$  はチップ内部で発生させ、供給してやるか、外部の電圧源から供給しなければなりません。電力消費は  $V_{clock}$  の2乗に比例します。このため電力消費の低減に関してはA型より有効ですが、クロック・ドライバごとに  $V_{clock}$  供給線が必要であり、設計が難しくなります。

### 3.5 RCSFFの動作波形

図3-5はSPICEでシミュレーションした、RCSFFの典型的な振る舞いを表したものです。

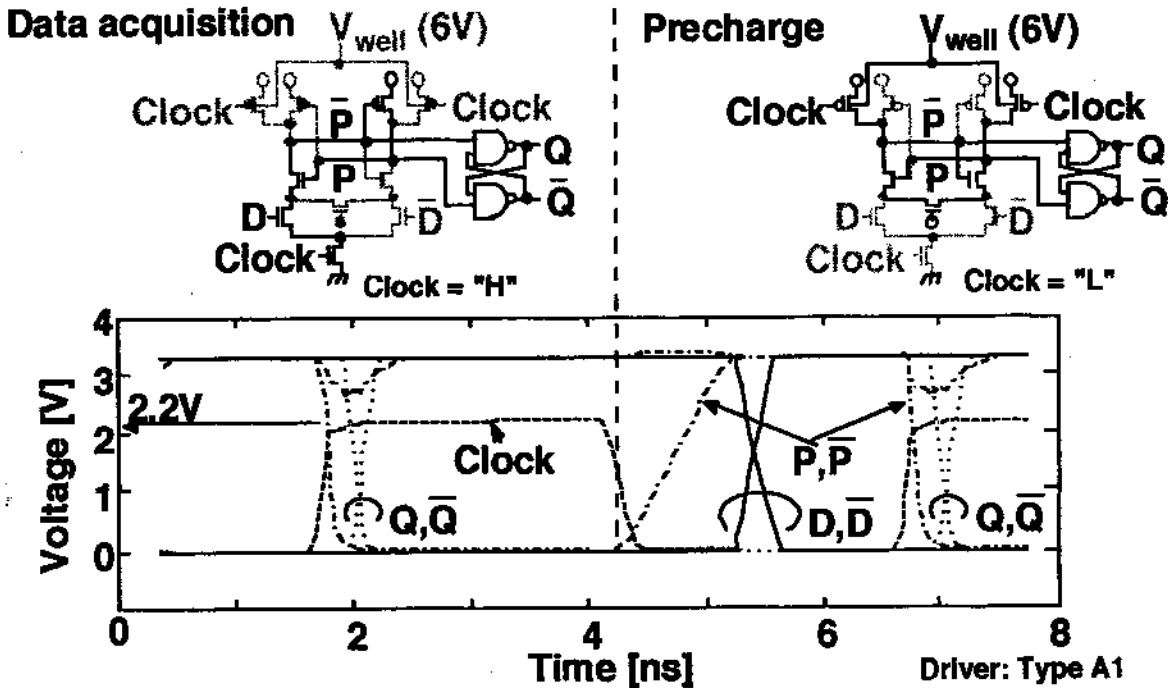


図3-5 RCSFFの波形

クロック・ドライバはA1型を使用しています。図3-5の左側はデータを取り込む局面で、右側はプリチャージの局面を示しています。クロック

は2.2Vしか上昇していないことが分かります。データ取り込み局面では、クロックの立ち上がりで、データ入力Dを3.3Vと仮定し

ています。黒い実線のバスがオンして、ノードPがロウに落ちます。しかし、ノードPはハイを保ったままです。ノードPおよびP̄はロウ・アクティブRSフリップ・フロップを駆動しているため、出力Qはハイになります。プリチャージの局面ではP1およびP2のPMOSトランジスタがノードPおよびP̄をVDDまでプリ・チャージします。ノードPおよびP̄がハイを保ったままですから、出力QおよびQ̄も以前の状態を保っています。MOSFETのしきい値電圧は0.6Vですが、バックゲート・バイアスを加えることによりプリチャージPMOSの閾値電圧V<sub>th</sub>は1.4Vまで上昇します。これため2.2Vのクロック振幅で十分にリーク電流をカット・オフすることができます。

### 3.6 トランジスタの大きさ

各トランジスタの大きさについて考えてみましょう。図3-6の全てのトランジスタのゲート長は0.5ミクロンです。数字はゲート幅をミクロン単位で表したものです。

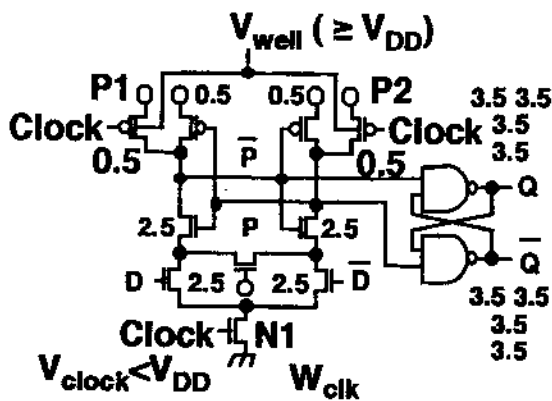


図3-6 トランジスタの大きさ

クロックがロウの時に、ノードPおよびP̄はゆっくりとプリチャージしても問題はありません。このためプリチャージPMOS、P1およびP2は最小である0.5ミクロンで十分です。MOSトランジスタN1は高速動作のためには大きい方が有利です。しかし、これによる電力消費とのトレード・オフを考慮しなくてはなりません。

## 3.7 シミュレーション結果

### 3.7.1 レイアウト面積

図3-7は従来のフリップ・フロップ、図3-8はRCSFFのレイアウト例です。

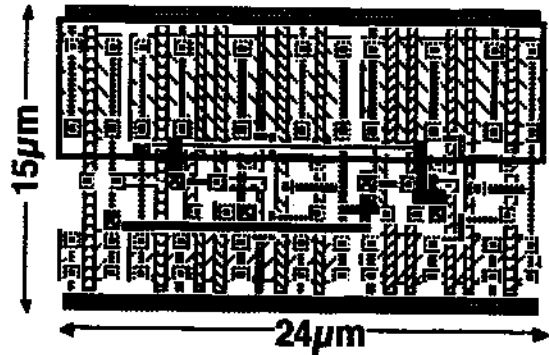


図3-7 従来のフリップ・フロップのレイアウト例

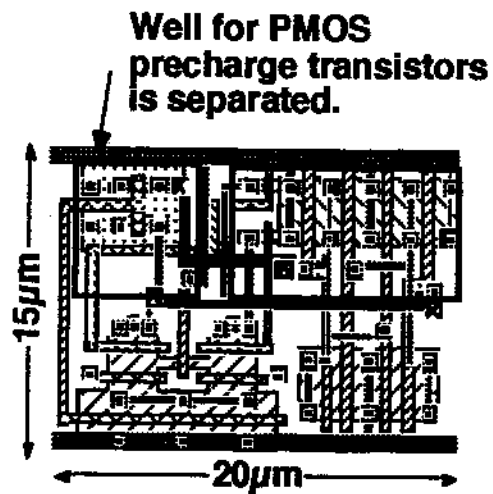


図3-8 RCSFFのレイアウト例

RCSFFの場合PMOSプリチャージ・トランジスタのためのウェルが通常のウェルから分離されています。これはバックゲート・バイアスを加えるためです。面積は約20%減少できます。RCSFFの場合には、実際にはバックゲート・バイアスの配線が必要です。そのために、この配線によるオーバ・ヘッドで20%の減少はキャンセル・アウトされます。プリチャージ・トランジスタのしきい値電圧V<sub>th</sub>をイオン・インプラントで調整すると、この20%の面積減少を楽しむことができます。

### 3.7.2 遅延特性

図3-9はVwellが6Vの時の遅延特性を示したものです。

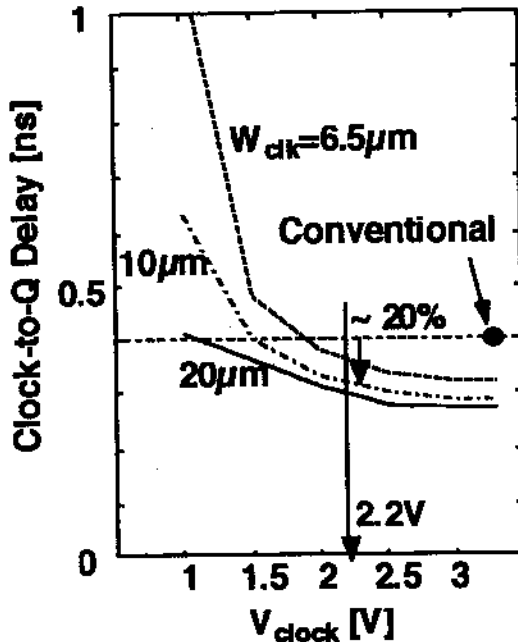


図3-9 遅延特性

N1のゲート幅Wclkをパラメータとして変化させています。A1型ドライバ (Vclock=2.2V) でWclkが10ミクロンの時、RCSFFは従来のフリップ・フロップに比べて、20%高速です。

### 3.7.3 消費電力特性

図3-10はRCSFFの消費電力特性を示したものです。RCSFFのクロック線の長さを200ミクロン、データの遷移確率を30%と仮定しています。動作周波数fclkは100メガ・ヘルツです。消費電力はVclockが小さくなるにつれて小さくなります。またA型ドライバの電力減少はB型ドライバのそれより、有効ではありません。これはA型ドライバの電力は線形であるのに、B型ドライバの場合は電力がVclockの2乗に比例するからです。Vwellは3.3Vか6Vのいずれかに固定されます。Vwellが3.3V、すなわちP1およびP2にバックゲート・バイアスが加えられていないときは、電力減少はVclockが1.5V程度のときに飽和してしまいます。これはVclockが低下するにつれて、リーク電流が増加するため

す。その一方で、Vwellが6Vの時は、電力減少はVclockが1Vのときでも飽和しません。

最善条件を考えますと、クロック系の電力は従来のフリップ・フロップに比べて3分の1に減少させることができます。

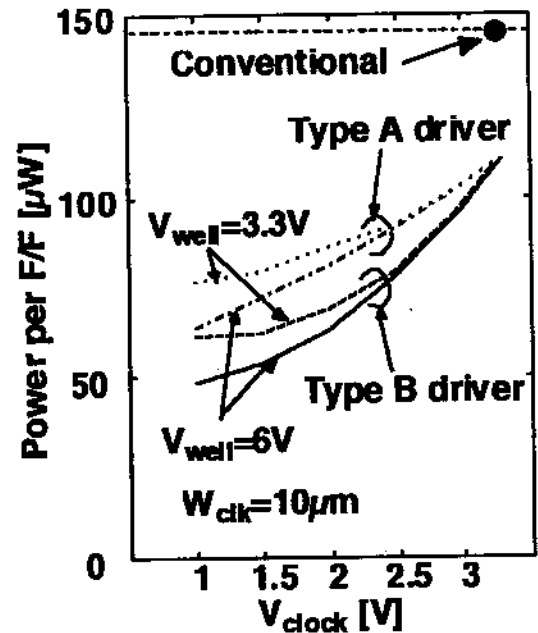


図3-10 消費電力特性

表3.1は特性を比較し、まとめたものです。

表3.1 特性比較

	Driver	Vclock[V]	Power	Delay	Area
Conventional		3.3	100%	100%	100%
RCSFF Vwell=6.0V Wclk=10µm fclk=100MHz	Type A1	2.2	59%	82%	83%
	Type A2	1.3	48%	123%	83%
	Type B	2.2	48%	82%	83%
	Type B	1.3	37%	123%	83%

A1型ドライバを用いた、簡単に設計できる条件では、電力は59%、クロックから出力Qまでの遅延は82%に減少できます。1.3VのDC/DCコンバータ等とB型ドライバを用いた場合では、電力消費は37%、すなわち63%も電力を減少させることができます。しかしながら、遅延は23%増加します。

設計しやすさと遅延の増加を考慮すると、このA1型ドライバとこのB型ドライバの条件が最適な実験結果になるのではないのでしょうか。



### 3.8 RCSFFのアプリケーション

このRCSFFのアプリケーションとして図3-11のような長い差動RCバスを考えてみます。

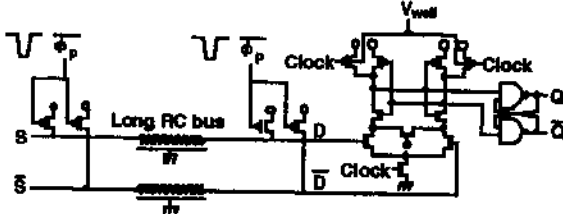


図3-11 差動RCバス

RCSFFは生まれつきの差動増幅器であるために、差動RCバス上の小さな信号も増幅でき、同時にデータもラッチすることができます。動作手順は以下の通りです。図3-12を参照してください。

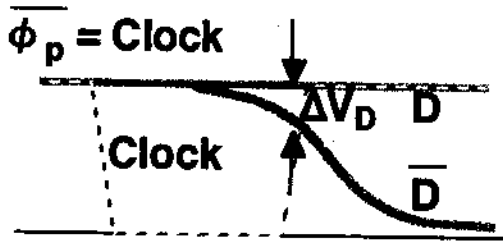


図3-12 差動RCバス上での動作

まず、差動RCバスをVDDまでプリチャージします。次にDとD-barの差動電圧が $\Delta V_D$ に達したときに、クロックを有効にして、増幅します。 $\Delta V_D$ が1V以下の時でも動作可能で、差動RCバスの遅延を減少させることができます。この遅延は $\Delta V_D$ に依存します。図3-13は幅0.5ミクロン、長さ10mmの差動RCバスにRCSFFを用いた時の遅延特性をシミュレーションしたものです。Wellは10ミクロン、クロック・ドライバはA1型と仮定しています。

$\Delta V_D$ が小さいほど、高速動作が可能なが理解

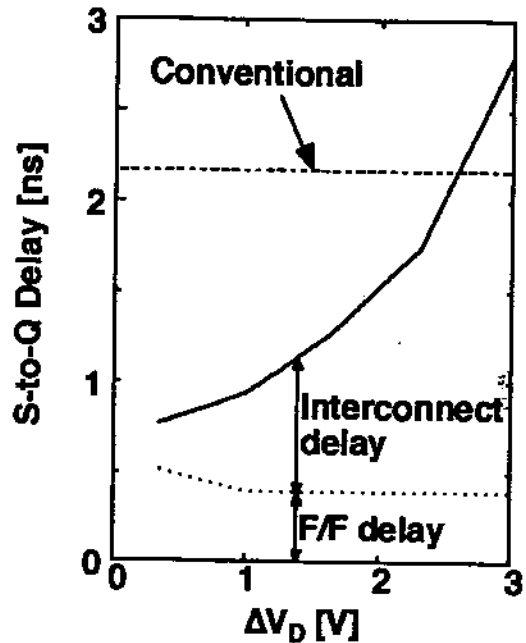


図3-13 遅延特性

### 3.9 まとめ

- RCSFFは振幅低減クロック・ドライバと特別な仕組みを持ったフリップ・フロップで構成されています
- 従来のプロセスにそのまま適用できます
- 従来のフリップ・フロップとの比較
  - 0.8倍のレイアウト面積
  - 0.8倍の遅延時間
  - 3分の1の消費電力
- プリチャージMOSFETを通るリーク電流はバックゲートバイアスによって除去できます
- RC遅延を2分の1以下に減少できます

参考文献

- [1]川口 博, 櫻井 貴康, "Serial Insertion of Cut-off MOSFET CMOS (SCCMOS) による低消費電力化", 第44回応用物理学関係連合講演会講演予稿集, 1997年春季, 744 ページ.
- [2]T. Kobayashi and T. Sakurai, "Self-Adjusting Threshold-Voltage Scheme (SATS) for Low-Voltage High-Speed Operation," in Proc. IEEE 1994 CICC, pp.271-274, May 1994.
- [3]Hiroshi Kawaguchi and Takayasu Sakurai, "A Reduced Clock-Swing Flip-Flop for 63% Power Reduction," in 1997 Symposium on VLSI Circuits Digest of Technical Papers, pp.97-98, June 1997.
- [4]H. Kojima et al., "Half-Swing Clocking Scheme for 75% Power Saving in Clocking Circuitry," in 1994 Symposium on VLSI Circuits Digest of Technical Papers, pp.23-24, June 1994.



川口 博:1968年8月7日, 神戸市にて出生.'93年から3年間,コナミ株式会社技術研究部にてアーケード・ゲームの開発に従事.趣味はパチンコを少々.'96年に東京大学生産技術研究所に技術官として入所.第3部櫻井研究室所属.専門は高性能・低消費電力LSI設計.