

## 低電圧 SRAM のための Dynamic Leakage Cut-off 設計法

川口博, 井高康仁, 桜井貴康

東京大学生産技術研究所

106-8558 東京都港区六本木 7-22-1

電話 03-3403-1643・ファックス 03-3403-1649・電子メール kawapy@cc.iis.u-tokyo.ac.jp

あらまし サブスレッショルド漏れ電流を許容できる範囲内に維持しながら, ゲート酸化膜に過剰な電圧を加えることなく, 従来の SRAM より 2.5 倍高速な電源電圧 0.5V 動作の SRAM 回路を提案する. 選択されていないメモリのセルの N ウェルおよび P ウェル電圧をそれぞれ  $2V_{DD}$  および  $-V_{DD}$  に逆バイアスする一方で, 選択されたメモリのセルの N ウェルおよび P ウェル電圧を動的にそれぞれ  $V_{DD}$  および  $V_{SS}$  に変化させることによってメモリのセルのしきい値電圧を低く設定することができ, かつサブスレッショルド漏れ電流を抑えることができる.

キーワード 低電圧 SRAM, 低電力 SRAM, サブスレッショルド漏れ電流, ゲート酸化膜破壊電圧, トリプルウェル技術, 基板バイアス効果

## Dynamic Leakage Cut-off Scheme for Low-Voltage SRAM's

Hiroshi Kawaguchi, Yasuhito Itaka and Takayasu Sakurai

Institute of Industrial Science, University of Tokyo

7-22-1, Roppongi, Minato-ku, Tokyo, 106-8558 Japan

Tel: +81-3-3403-1643 / Fax: +81-3-3403-1649 / Email: kawapy@cc.iis.u-tokyo.ac.jp

Abstract A 0.5V SRAM circuit scheme is proposed and fabricated which speeds up the conventional low-voltage SRAM by a factor of 2.5 without applying excessive voltage to gate oxide and with maintaining the subthreshold leakage current in a tolerable level. N- and P-well bias voltage are dynamically changed to  $V_{DD}$  and  $V_{SS}$  respectively for selected memory cells, while the well bias of the dormant memory cells are kept  $2V_{DD}$  and  $-V_{DD}$ .

key words low-voltage SRAM, low-power SRAM, subthreshold leakage current, gate-oxide breakdown voltage, triple-well technology, body-effect

## 初めに

VLSI の電源電圧は低消費電力化への強い要求のために低下し続けている。低電圧高速動作を達成するために CMOS プロセスはより薄い酸化膜とより短いチャネル長を指向し、最適化される傾向にある[1]。このようにスケールリングされた MOSFET が未来においても十分な信頼性をもつことは低電圧動作といえども重要である。

低電圧における SRAM 設計ではメモセルのソース電圧を変化させる方法 [2]や動的に電源電圧とワード線をブーストする方法[3]が提案されている。しかしながらこれらの方法では例えば電源電圧が0.8Vにもかかわらず、ゲート酸化膜に加えられる電圧は 1.4V にまで至る。これにより場合によっては信頼性の問題が持ち上がる。

この論文では 1V 以下の電源電圧においてサブスレッショルド漏れ電流を許容できる範囲内に維持しながらゲート酸化膜に過剰な電圧を加えることなく、従来の SRAM 回路より 2 倍高速な SRAM 回路について提案する。

### Dynamic Leakage Cut-off (DLC)設計法

図 1 は提案する Dynamic Leakage Cut-off (DLC) SRAM とその動作波形を示している。

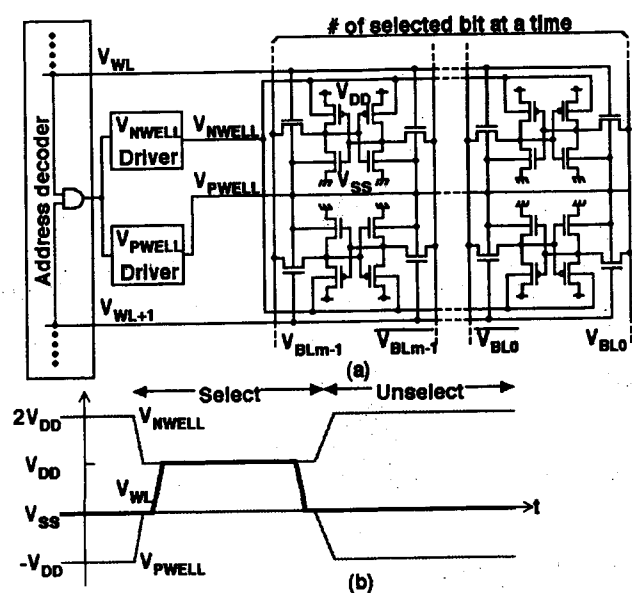


図 1 (a)Dynamic Leakage Cut-off (DLC) SRAM の回路図と(b)その動作波形

この方法の特徴は選択されるメモセルの n ウェルおよび p ウェルに加えられる電圧をそれぞれ  $V_{DD}$  もしくは  $V_{SS}$  に動的に変化させる一方で、選択されていないメモセルの n ウェルおよび p ウェルに加えられるバイアス電

圧はそれぞれ  $2V_{DD}$  もしくは  $-V_{DD}$  に維持される。これにより選択されたメモセルのしきい値は相対的に低くなり、高い駆動電流が保証され、その結果高速動作が実現できる。一方選択されていないメモセルのしきい値は相対的に高く、低サブスレッショルド漏れ電流を達成する。

DLC においてはウェルバイアスはスタンバイ信号ではなくワード線と同期しており、この設計法は Variable Threshold CMOS (VTCMOS[4])とは異なる。DLC SRAM を実現するにはトリプルウェルプロセス技術が必要であることには注意しなければならぬが、トリプルウェル技術はアナログ回路やメモリ回路がデジタル環境に組み込まれ、電気的な絶縁が問題となるシステム LSI では望ましい技術である。

図 2 は n ウェル用ウェルバイアス回路とその動的動作における全 MOSFET の  $V_{GS}$ - $V_{GD}$  軌跡を示している。

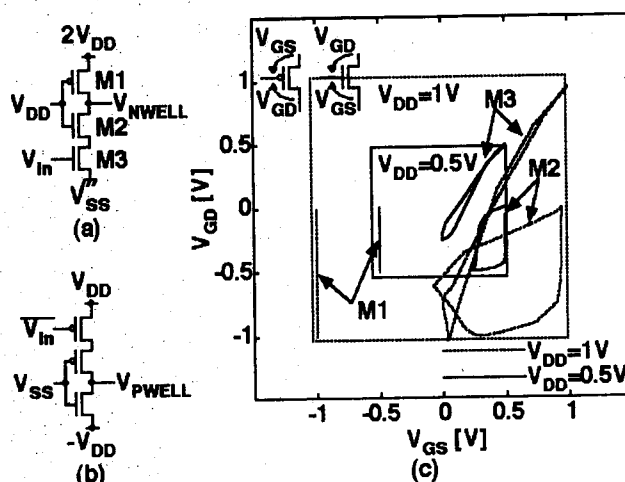


図 2 (a)n ウェル用ウェルバイアス駆動回路と(b)p ウェル用ウェルバイアス駆動回路, (c)(a)の全 MOSFET の  $V_{GS}$ - $V_{GD}$  軌跡. 軌跡は  $V_{DD}$  を越えない。

この図を見ると、回路内のそれぞれの MOSFET ゲート酸化膜に  $V_{DD}$  を超える電圧が加えられていないことが理解でき、十分な信頼性を保証している。ウェルバイアスの絶対値をおおよそ  $V_{DD}$  にすることができ、接合破壊と信頼性の問題がない

### 設計の注意点

図 3 と図 4 は 0.35 $\mu$ 技術における 1M ビット低電圧 SRAM のシミュレーション遅延特性と漏れ電流特性を示している。

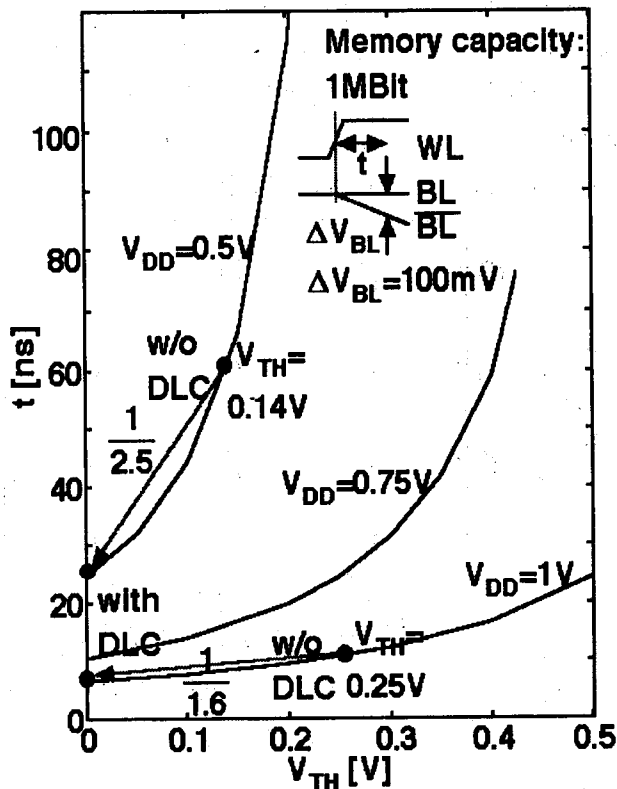


図3 DLC SRAM のビット線の遅延特性

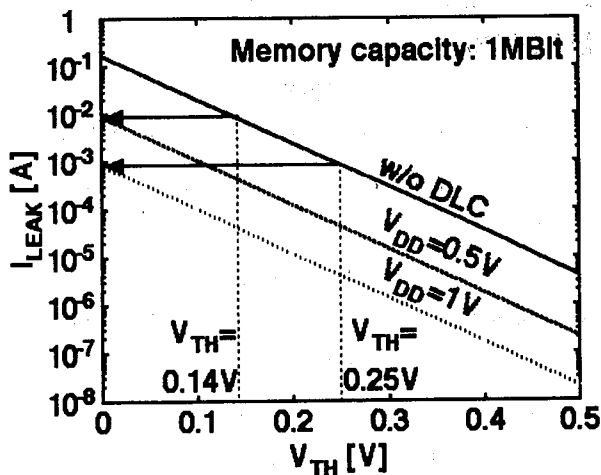


図4 1M ビット SRAM のサブスレッショルド漏れ電流特性.  $V_{DD}$  が 1V の時, 選択されたメモリスセルのしきい値電圧は 0V であるが, 選択されていないメモリスセルのしきい値は 0.25V である. これにより漏れ電流による電力消費は 0.9mW に抑えられる.

0V のしきい値は遅延の観点から望ましい. しかしながら選択されていないメモリスセルの総サブスレッショルド漏れ電流  $I_{LEAK}$  は 100MHz 動作時の回路の電流 5mA と

比較できないほどの 200mA まで上昇する. メモリスセルのほとんどは動作中ではないので, SRAM においては動作時でさえもこのサブスレッショルド漏れ電流は支配的となる. もし 1M ビット以上のものが必要であるならば, 状況はもっと悪くなる. DLC 設計を用いることにより,  $V_{TH}$  は  $V_{DD}$  が 0.5V では 0.14V,  $V_{DD}$  が 1V では 0.25V 上昇する. ゆえにビット線の遅延は  $V_{DD}$  が 0.5V において 1/2.5 に減少する.

DLC のメモリスセル面積のオーバーヘッドは図 5 に示すように 27%である.

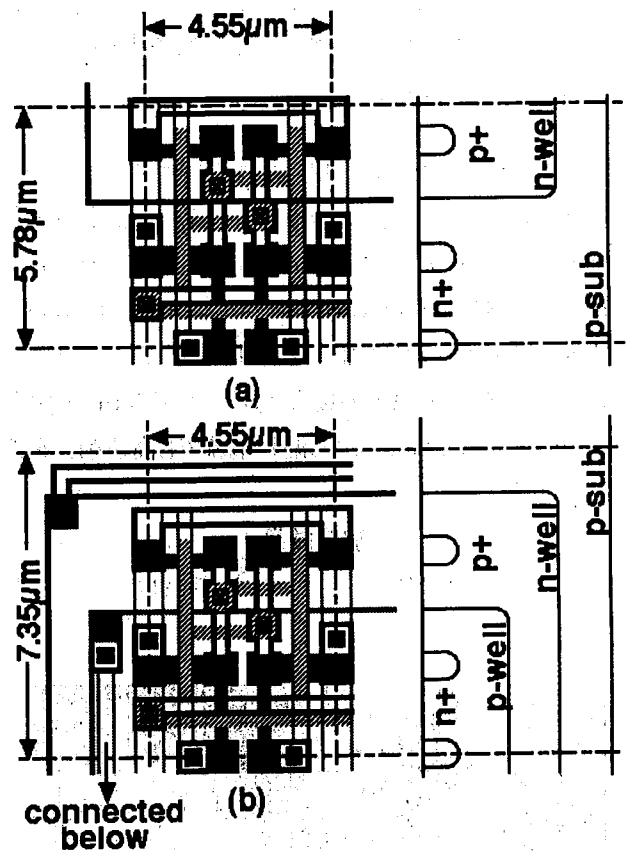


図5 (a)従来のメモリスセルのレイアウトと(b)DLC メモリスセルのレイアウト

メモリスセル以外にも DLC はウェルドライバによる面積のオーバーヘッドを持っている. 全体にわたる面積のオーバーヘッドは選択されたメモリスセルの数の関数であり 20%から 50%になる(図 6). オーバヘッドはトレンチ絶縁の導入によって 10%までに減少させることができる.

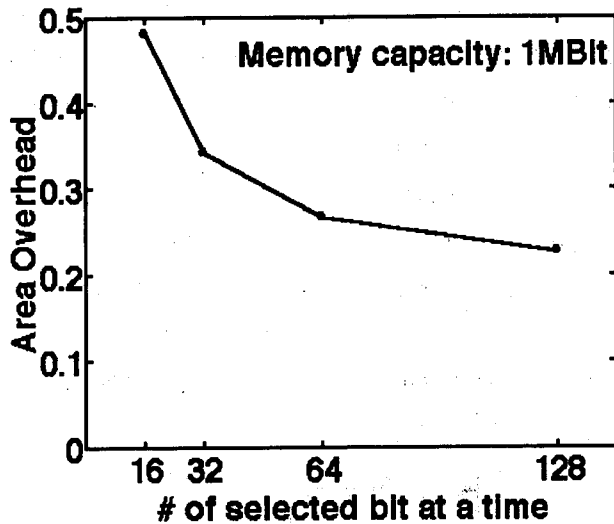


図6 DLC SRAMの面積オーバーヘッド。

DLC SRAMはSOIを用いて作ることもできる。ゲートとボディーがつけられ、ボディーバイアスの変化が接合の順バイアスのために0.7Vに制限されるDynamic Threshold MOS (DTMOS)と比べても、DLC SRAMはより大きなボディー電圧の変化を許すことができる。例えばボディーバイアスが2Vの場合、結果として $V_{TH}$ がより大きな変化をし、これにより同じ漏れ電流でも高速動作を実現できる。

#### 測定結果

図7は0.35 $\mu$ CMOSプロセスで試作されたチップの顕微鏡写真を示している。

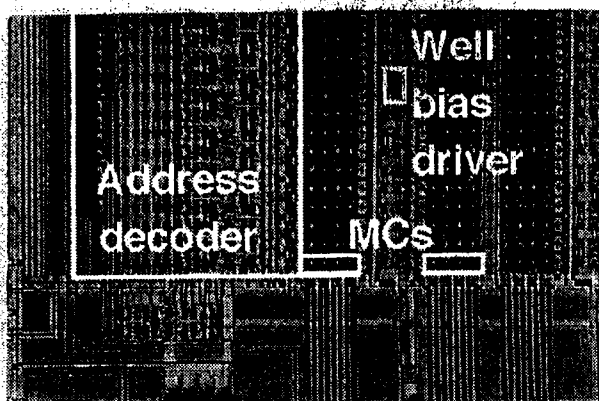


図7 試作チップの顕微鏡写真。MCはメモリスセルを指す。

PMOSとNMOSのしきい値電圧はそれぞれ0.15Vである。この値は速度と漏れ電流の観点から理想的とは言

えないが、回路シミュレータではシミュレーションできない重要な測定を行った。それはすなわちウェルに高周波のパルスを加えるテストである。DLC SRAMではウェルバイアス電圧は動的に変化し、メモリスセルの予期しない反転が起こるかもしれない。図8は結果を示している。

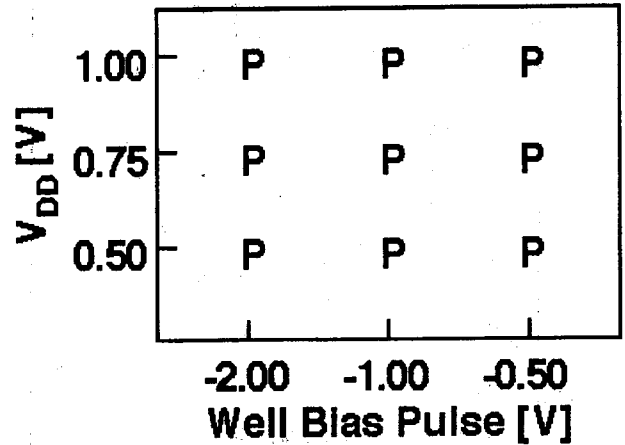


図8 ウェルにバイアスとして100MHzのパルスを加えた場合のテスト結果。Pはパスしたことを指す。

メモリスセルの異常な反転は0.5Vから1Vまでの $V_{DD}$ の範囲内と0.5Vから2Vまでのウェルパルス高の範囲内で観測されなかった。

#### 謝辞

株式会社東芝のチップ試作を含む研究のサポートと黒田忠広さんと古山透さんとの有益な議論に対して感謝します。

#### 参考文献

- [1] M. Kakumu, "Process and Device Technologies of CMOS Devices for Low-Voltage Operation," IEICE Trans. Electron, vol. E76-C, no. 5, pp. 672-680, May 1993.
- [2] H. Yamaguchi et al., "A 0.8V / 100Mhz / sub-5mW-Operated Mega-bit SRAM Cell Architecture with Charge-Recycle Offset-Source Driving (OSD) Scheme," 1996 Symp. on VLSI Circuits, pp. 126-127, June 1996.
- [3] K. Itoh et al., "A Deep Sub-V, Single Power-Supply SRAM Cell with Multi-Vt, Boosted Storage Node and Dynamic Load," 1996 Symp. on VLSI Circuits, pp. 132-133, June 1996.
- [4] T. Sakurai, H. Kawaguchi and T. Kuroda, "Low-Power CMOS Design through VTH Control and Low-Swing Circuits," ISLPED, pp.1-6, Aug.1997.