

周波数-電圧協調型省電力制御における アルゴリズムとデザインルール

相坂 一夫[†] 在塚 俊之[†] 三坂 智[†] 十山 圭介[†]
内山 邦男[†] 石橋 孝一郎[†] 川口 博[‡] 桜井 貴康[‡]

[†](株)日立製作所 中央研究所 〒185-8601 東京都国分寺市東恋ヶ窪 1-280
[‡]東京大学 国際・産学共同研究センター 〒153-8505 東京都目黒区駒場 4-6-1
E-mail: [†] aisaka@crl.hitachi.co.jp

あらまし 周波数-電圧協調型電力制御 (FV制御) は、動作条件を動的に制御するため消費電力を低減する効果が大きい。本論文では、先に提案した周波数 2 : 1 ルールによる FV 制御システム設計方法を詳細化し、チップ動作電圧に下限が存在する場合の電力損失を明確化した。この元にシステム設計手順をアルゴリズム化し、システムに何組の周波数-電圧を用意すべきかの判定基準を明示した。

キーワード 周波数-電圧協調型電力制御 (FV制御) 2 : 1 ルール 設計アルゴリズム

Design Rule and its Algorithm for Frequency-Voltage Cooperative Power Control

Kazuo AISAKA[†] Toshiyuki ARITSUKA[†] Satoshi MISAKA[†] Keisuke TOYAMA[†]
Kunio UCHIYAMA[†] Koichiro ISHIBASHI[†] Hiroshi KAWAGUCHI[†] and Takayasu SAKURAI[‡]

[†] Central Research Laboratory, Hitachi, Ltd.

1-280 Higashi-koigakubo, Kokubunji-shi, Tokyo 185-8601, Japan

[‡] Center for Collaborative Research, University of Tokyo

4-6-1 Komaba, Meguro-ku, Tokyo 153-8904, Japan

E-mail: [†] aisaka@crl.hitachi.co.jp

Abstract Frequency-voltage cooperative power control (FVC) is considered a powerful method to reduce the power consumption because of its dynamic feature. The authors first give a minute evaluation with the two-to-one frequency rule already proposed, under the restriction of operation voltage limit. Then we give an design algorithm for an FVC system which includes the decision criteria for the number of (F, V) sets to be prepared in the FVC system.

Keyword frequency-voltage cooperative power control (FVC), two-to-one rule, design algorithm

1. はじめに

VLSI の集積規模が増大するに従って、電力消費を低く押える事が設計における重要課題となりつつある。この対策として、動作速度が遅くても良い場合にクロック周波数と電源電圧とを同時に低下させる「周波数-電圧協調型電力制御 (以下 FV 制御)」が提案されている[1][2]。

筆者らは先に解析的な考察により、周波数と電圧を決定する設計ルールを与えた[4][5]。本論文では、同ルールを実際のチップに適用する事を念頭に置いて、チップに最小動作電圧が存在するという制約下で電力損失を詳細に評価する。また併せて、同ルールによる設計アルゴリズムを詳細化し、チップに何通りの周波数-電圧の組を用意すれば良いかを明確にする。

2. F V制御における電力損失の評価

筆者らが求めた、F V制御における電力損失の評価式を復習する[4][5]。

筆者らはL S Iチップの周波数-電力関係(F-P 関係)を(式1)の通り近似した。

$$P = \begin{cases} kF^\gamma & \dots\dots F \geq F_m \\ k'F & \dots\dots F \leq F_m \end{cases} \quad (式1)$$

但しk、k'は適当な比例定数

ここでF_mは、F V制御対象となるチップを最低動作電圧で動作させる場合の最高動作周波数であり、F_mより低い周波数での動作では、電源電圧を下げる余地が無い場合、F-P関係は単純比例式となる。

(式1)は、当該チップの動作周波数(および電圧)を任意の値に設定できる、つまり連続的に変化させられると仮想した場合に、最低限必要な消費電力を示すものである。これを「理想電力」と呼ぶ事にする。一方、クロック周波数(および電源電圧)がF₁, F₂(F₁>F₂)に離散化された場合は、この区間のF-P関係は(式1)を線形内挿した折線状になる[1][2]。従って、特定のクロック周波数において折線の示す消費電力と理想電力の比を計算すれば、当該周波数における相対的な電力損失が求められる。この具体的な表式は(式2)となり、最大値は微分法により(式3)のαで与えられる事がわかる。

$$Pr/Pi = (\alpha^\gamma(K\beta - \beta^\gamma) + \alpha^{\gamma-1}(\beta^\gamma - K))/(\beta - 1) \quad (式2)$$

但し α = F₂/F_i, β = F₁/F₂
K = (F_m/F₂)^{γ-1}

$$\alpha = (\gamma - 1)(\beta^\gamma - K) / \gamma \beta (\beta^{\gamma-1} - K) \quad (式3)$$

また、多くの周波数値に対して上述の比を積算すれば、相対的な電力損失の平均値が得られる。この計算は、周波数値が十分多数かつ一様に分布していると仮定すれば、(式1)の曲線下面積を求める計算に帰着される。この具体的な表式は(式4)となる。

$$\sum Pr / \sum Pi = \frac{\rho^{\gamma-1}(\gamma+1)(1+1/\beta \rho^{\gamma-1})(1-1/\beta)}{(\gamma+1)(1/\rho^2 - 1/\beta^2) + 2\rho^{\gamma-1}(1-1/\rho^{\gamma+1})} \quad (式4)$$

但し ρ = F₁/F_m

(式3)および(式4)には、周波数F_mがパラメータKあるいはρを通じて含まれている。すなわち両式は、解析の対象となる周波数範囲にF_mが含まれている場合、すなわち折線がF_mを跨ぐ場合の損失を示している。なおF_mが含まれない場合は、F_mが区間の下端に一致したとして各式を適用すれば良く、具体的にはK=1(式3)ないしはρ=β(式4)と置いて計算すれば良い。

3. F_mの変化を考慮した電力損失評価

F_mを変化させた場合の相対電力損失の値を図1に示す。図においては周波数比β = F₁/F₂は2.0とした[4][5]。また図においては、F_mは(式5)

$$q = (F_m - F_2) / (F_1 - F_2) \quad (式5)$$

で示されるパラメータqを用いて無次元化して示してある。パラメータqの意味は、解析の対象となる周波数範囲[F₂, F₁]において、F_mが相対的にどここの位置に来るかを示すものであり、q=0(1)はF_m=F₂(F₁)すなわちF_mが区間の下端(上端)に位置する事を示す。パラメータqと前述のK、ρの関係は図に付記した通りである。q=1において相対電力損失が1.0すなわち損失無しとなるのは、この周波数範囲でチップが全て最低動作電圧で動作せねばならず、従ってF V制御の実効的な意味が無くなる事を示している。なおq=0.5とするとF_m=(F₂+F₁)/2すなわち範囲の中央にF_mが来る場合となる。[4][5]では典型値としてこの場合のみを報告した。

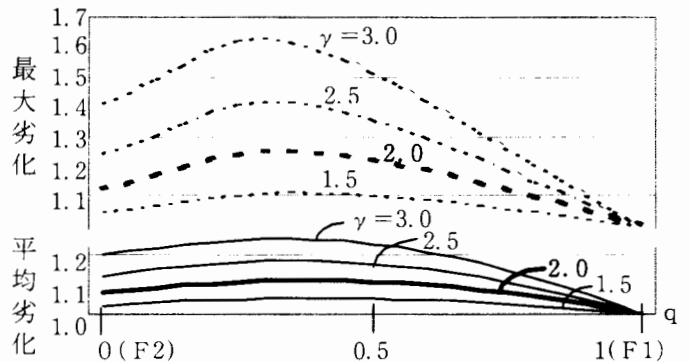


図1 F_mの変化を考慮した電力損失評価

図1に示される通り、電力損失はq=0.3~0.4付近で最大となり、最大値は[4][5]で示した値よりやや大きい(表1)。しかしながら両者の差は1%程度であり、特に実用上重要となるγ=2.0付近では、設計上問題となる様な有意の差は生じていない。従って[4][5]で示したβ=2を選択するルール(2:1ルール)は、そのまま有効であると筆者らは結論する。

表1 最大電力損失

γ	1.5	2.0	2.5	3.0
最大値	1.05	1.12	1.18	1.26
	1.11	1.25	1.42	1.63
q = 0.5	1.05	1.11	1.17	1.24
	1.10	1.22	1.36	1.52

上段: 平均損失
下段: 最大損失

但し β = 2.0

4. 設計アルゴリズム

以上の様に2:1ルールが再確認されたが、それではチップに何通りの周波数-電圧の組を用意すれば良いか(以下「組数決定問題」と称す)というルールは明示的に述べられていない。本節では、組数決定問題を明確化した上で、設計方法をアルゴリズムの形で記述する。

周波数を定めるための「2:1ルール」は、以下の通りであった[4][5]。

2:1ルール
 FV制御システムの設計において、最高周波数F1が与えられた場合、F1以下の周波数は
 $F_2=1/2F_1, F_3=1/4F_1, F_4=1/8F_1, \dots$
 と用意すれば良い。

問題は、この系列を何処まで取れば良いか、という事であるが、クロック周波数が離散化された時にF-P関係が折線近似となる事を考慮すれば、答えは明確である。すなわち、現実のチップにおいては図2に示した通り、 $V=V_{min}$ の範囲でF-P関係が原点を通る直線となるから、この範囲を折線近似しても元のF-P関係と何ら変りはない。従ってこの範囲には、下端となる周波数 $F=0$ と、高々もう1個の周波数が用意されれば十分である。言換えれば、上記の「2:1ルール」で得られた周波数(図ではF2)が F_m 以下となるならば、線分BCは元のF-P関係に重なるからF3は不要であり、ルールの適用を打ち切って良い。(逆にVを無限小まで下げられるなら周波数を無限に用意する必要があるが、現実のチップではそうはならない。)

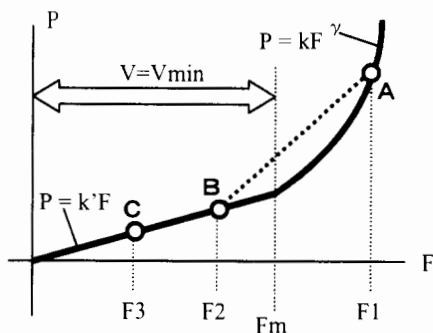


図2 F-P関係と周波数離散化の効果

なお以上においては、周波数 $F=0$ がチップで利用可能である事を前提としている。この為には実際にクロックを停止しても良いが、多くのCPUチップにはクロック停止と等価な低消費電力モード(スタンバイモード、スリープモード等と呼ばれる事が多い)が用意されているので、同モードにおける消費電力がゼロと見なせるならば、クロック停止の代わりに利用する事が

できる。

上述の条件を考慮して、「2:1ルール」をアルゴリズムの形に書き直すと、図3のフローチャートが得られる。図のステップ5において、 F_i を F_m と比較する事により、ルールの適用を継続するか打切るかを判定している。

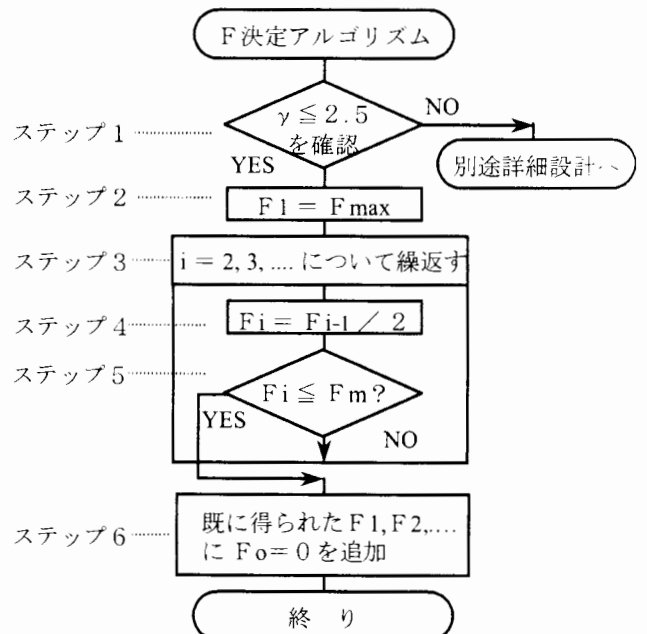


図3 設計アルゴリズム

5. 設計例

本節では、前節のアルゴリズムを実際のCPUチップに適用してFV制御向けハードウェアを設計した例を2つ示す。

5.1 日立 SH-4CPU[4][5]

日立製SH-4CPUチップに前節のアルゴリズムを適用した。まずチップの最高動作周波数 F_{max} および対応する電源電圧は、カタログ値より200MHzおよび2.0Vと定められた。また、チップのF-P関係の特徴付けるパラメタは、計算により1.6と求められ、従って「2:1ルール」が適用可能である。FV制御で使用する周波数は、ルールに従い $F_2=100\text{MHz}$ がまず必要である事がわかる。これに対応する電源電圧は1.2Vとなる。この電圧は同チップの動作保証範囲外であるが、過去の実績[3]に基づき採用するものとした。また電源電圧を1.2V未満に下げた場合の動作実績は無いため、本設計においては1.2Vを V_{min} と見なす事とした。従って $F_2=100\text{MHz}$ は F_m 以下である事になり、「2:1ルール」の適用はここで打切られる。以上の結果、2つの周波数と $F=0$ に相当する「スリープモード」により、FV制御を行なうシステム設計が得ら

れた。なお一般論として、近年チップの低電圧化が進む結果、前節のアルゴリズムは $F_2=1/2F_1$ を求めた時点で打切となる事が多いと思われる。言換えれば、チップに追加する周波数は1つのみで実用上十分となる。

5.2 Transmeta 社 Crusoe [6]

Transmeta 社の Crusoe は、F V 制御機構を内蔵した CPU チップとして先進的な位置付けにある[6]。また、制御に使用する周波数-電圧の組を公表している数少ない商用チップでもある。同チップは肌理細かい制御を目標としているため、全部で16組(文献[6]発表時点)の周波数-電圧が用意されている(表2)。

同チップに前節のアルゴリズムを適用すると以下の通りとなる。まず最高動作周波数 F_{max} および動作可能な電圧範囲は表2に示された通りと考える。表の値から最小二乗近似によりパラメタを求めると1.63となり、「2:1ルール」が適用可能である。そこで周波数を求めると、 $F_2=350\text{MHz}$ がまず必要となる。これに対応する電源電圧は、表2左半から1.35Vが妥当と考えられる。この電圧はまだ下げる余地があり、即ち F_2 は F_m にまだ達していない。そこでもう1つの周波数が必要となり、 $F_3=1/2F_2=175\text{MHz}$ が追加される。 F_3 では最低電源電圧1.10Vによる動作となるため、「2:1ルール」の適用はここで打切られる。

以上の結果、本設計アルゴリズムによれば表2の右半に示す様に、3組の周波数-電圧組(およびスリープモード)により、F V 制御が可能になる。この設計では、消費電力は原設計に比べて微増となるが、増加率は[4][5]で述べた通り高々10%程度である。

6. まとめ

F V 制御システムに用意すべき周波数の決定ルールを、チップの最小動作電圧を考慮して詳細評価した結果、前報告[4][5]の「2:1ルール」が有効である事を確認した。また、ルールの適用を打切る条件を明確化し、最近の低電圧チップでは周波数は1個追加すれば概ね十分である事を示した。

表2 Crusoe への適用例

原設計[6]		本設計			
F [MHz]	V [V]	F [MHz]	V [V]		
700	1.65	700	1.65		
666	1.65				
633	1.60				
600	1.60				
566	1.55				
533	1.55				
500	1.50				
466	1.50				
433	1.45				
400	1.40				
366	1.35			350	1.35
333	1.30				
300	1.25				
266	1.20				
233	1.15				
200	1.10	175	1.10		

文 献

- [1] A. Chandrakasan, V. Gutnik, and T. Xanthopoulos, "Data Driven Signal Processing: An Approach for Energy Efficient Computing," ISLPED, pp. 347-352, 1996.
- [2] T. Ishihara and H. Yasuura, "Voltage Scheduling Problem for Dynamically Variable Voltage Processors", ISLPED, pp.197-202, 1998.
- [3] S. Lee and T. Sakurai, "Run-time Voltage Hopping for Low-power Real-time Systems", DAC, pp.806-809, June 2000.
- [4] K. Aisaka, T. Aritsuka, S. Misaka, K. Toyama, K. Uchiyama, K. Ishibashi, H. Kawaguchi and T. Sakurai, "Design Rule for Frequency-Voltage Cooperative Power Control and Its Application to an MPEG-4 Decoder", 2002 symp. VLSI circuits, pp216-217, June 2002
- [5] 相坂, 在塚, 三坂, 十山, 内山, 石橋, 川口, 桜井 「周波数-電圧協調型電力制御における使用周波数群決定方法の提案と MPEG-4 デコーダによる検証」、信学技報 ICD2002-37, 2002.7
- [6] 浅見 他「Crusoe の船出」、日経エレクトロニクス 2000.3.13 p131-165