
低消費電力, 高速LSI技術

Low-power High-speed LSI Circuits & Technology

株式会社リアライズ社

2.1.7.1

小振幅クロック技術

小振幅クロック技術とはクロック振幅を電源電圧より小さく抑え、低消費電力化を指向した技術である。これに関する論文は少ないが、ここでは2件を紹介する。

低消費電力指向の背景として近年特に携帯機器に対しての要求が挙げられ、処理速度を犠牲にすることなく消費電力を抑えることが重要となってきている。そこでクロック回路がLSI全体の消費電力のどの程度を占めているかが問題となるが、製品によって20%から45%にも達する¹⁾。さらにこの値はLSIのいかんにかかわらずロジック回路の消費電力とほぼ等しくなっており、興味深い。このようにクロック回路がLSIの消費電力の大きな部分を占めている理由はロジック回路の遷移確率は約1/3と言われているのに対して、クロック回路のそれは100%であるためである。すなわち必ずオン・オフを繰り返す。さらにこのクロック回路の消費電力の内の90%は末端のフリップフロップ、これらを駆動するクロック駆動回路およびこれらの間の配線によって消費されている¹⁾。したがってこれら末端のクロック回路の消費電力を抑えることは重要であり、この改善によりLSIの低消費電力化に大きく貢献することができる。

a) Half-Swing Clocking Scheme ²⁾

Half-Swing Clocking Scheme のコンセプトはクロック駆動回路に対する供給電圧を電源電圧の半分にし、クロック線の負荷容量をこの半振幅クロックで駆動することである。この技術により理論上75%もの消費電力が削減可能である。

図1 (a) にHalf-Swing Clocking Scheme ラッチの回路図を示す。クロック ϕ_p , ϕ_n および $\bar{\phi}_p$, $\bar{\phi}_n$ は半振幅である。これらのクロックがクロックトインバータのPMOS およびNMOSをそれぞれ駆動する。図1 (b) に各クロックの波形を示す。クロックトインバータのPMOSには V_{DD} から $V_{DD}/2$ まで、NMOSには $V_{DD}/2$ から V_{SS} までの

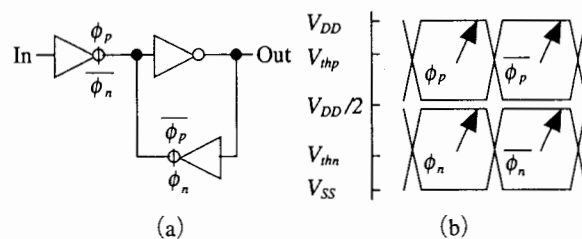


図1

(a) Half Swing Clocking Scheme ラッチの回路図

(b) 各クロックの波形

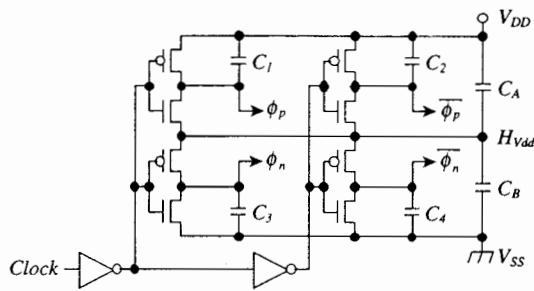


図2

半振幅クロックを供給するクロック駆動回路

電圧が加えられる。

図2は半振幅クロック ϕ_p , $\bar{\phi}_p$, および ϕ_n , $\bar{\phi}_n$ を供給するクロック駆動回路である。ノード H_{vdd} の電圧は次式で与えられる。

$$H_{vdd} = \frac{C_1 + C_A}{C_1 + C_4 + C_A + C_B} V_{DD}$$

..... (Clockが"Low"のとき)

$$H_{vdd} = \frac{C_2 + C_A}{C_2 + C_3 + C_A + C_B} V_{DD}$$

..... (Clockが"High"のとき)

ここで C_A と C_B はオンチップまたは外部に追加的に設けるべき容量であり, C_1 および C_2 はクロックトインバータのPMOSの等価負荷容量, 同様に C_3 および C_4 はNMOSの等価負荷容量を表している。 C_A と C_B が等しくかつ C_1 , C_2 , C_3 および C_4 が無視できるほど十分に大きければノード H_{vdd} はClockの"Low"または"High"によらず $V_{DD}/2$ となる。このため ϕ_p , $\bar{\phi}_p$, および ϕ_n , $\bar{\phi}_n$ のクロック振幅も $V_{DD}/2$ となる。

シミュレーション結果ではラッチの遅延はクロック線の負荷容量が 0pF から 1pF までの間, 負荷の変化によらず一様に通常のラッチより 0.5ns 遅い。これは最終段のインバータを駆動するクロックトインバータが半振幅クロックで駆動されているためにオン電流の減少を招き, このための遅延増加を示している。しかしデータパスそのものは全振幅で駆動されているため一般的に低電圧化にみられるような急速な遅延増加はなく, 0.5ns の遅延増加で済む。Kojimaらは16段シフトレジスタのテストチップを試作し, 消費電力の測定も行っている。クロック周波数1MHzから40MHzまでにおいてロジック回路とクロック回路の消費電力を比較してみると, ロジック回路では当然通常のラッチと同程度の消費電力であるが, クロック回路では通常のラッチの33%までに消費電力が抑えられている。理論上では25%に抑えられるはずであるが, 一般的にラッチのPMOSとNMOSの大きさの比は1対0.5にするべきであるところを1対1にしているためである。この理由は C_1 および C_3 ならびに C_2 および C_4 を等しくするためである。このようにすればノード H_{vdd} の安定性も電源電圧1.5Vから5Vまでかつクロック周波数1MHzから40MHzまでにおいて実用上十分であると報告されている。

Half-Swing Clocking Schemeは上記で述べた通りクロック振幅を半分にすることにより低消費電力化を指向しているが, その一方でクロック線が4本も必要になりトランジスタの数が増え, 反動的にクロック容量の増加も招いている。さらにクロック駆動回路の特殊性および4本のクロック線の配線からチップ面積の増加も招く。また複数のクロック線は高周波において位相の調整が困難であることもデメリットである。

b) RCSFF (Reduced Clock-Swing Flip-Flop) ³⁾

RCSFFは従来のフリップフロップ (F/F) と違い, 純粋な単相フリップフロップ (true single-phase flip-flop) であるため, 1本のクロック線のみで駆動可能な小振幅

クロック駆動フリップフロップである。

図3にRCSFFの回路図を示す。マスタラッチとしてカレントラッチ型センスアンプを、スレーブラッチとしてクロスカップルされたNAND型RSフリップフロップを用いている。N2はClockが "High" のときにデータDが反転した場合にPまたはPがダイナミックノードとならないためのバイパス用ノーマリーオンNMOSである。RCSFFは従来のフリップフロップよりトランジスタの数が24対20と少なく、さらにクロック駆動されるトランジスタの数も12対3と少ない。これはカレントラッチ型フリップフロップの特長であり、クロック負荷容量が小さいため低消費電力に向けたフリップフロップである。

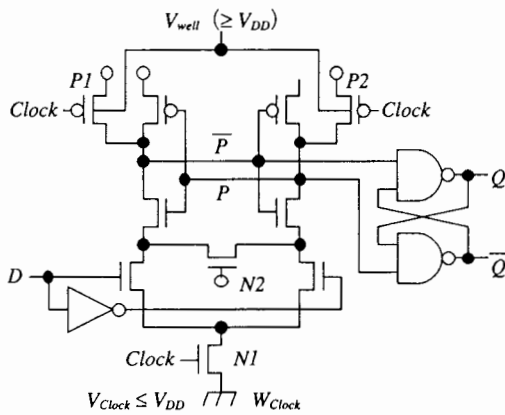


図3 RCSFFの回路図

RCSFFの大きな特長はリーク電流を遮断する機構を有していることである。小振幅クロックで駆動された場合にプリチャージPMOS, P1およびP2が完全にオフしないことによりリーク電流が発生する。これを抑えるためにP1およびP2にウェル電圧Vwellを供給し、基板バイアス効果により、しきい値電圧を増加させている。

図4にクロック駆動回路を示す。クロック振幅V_{Clock}はA型クロック駆動回路では直列に挿入されるNMOSの数nにより、B型クロック駆動回路では任意電圧による。

$$V_{Clock} = V_{DD} - n \cdot V_{th}' \quad (V_{th}' > V_{th})$$

..... (A型クロック駆動回路)

$$V_{Clock} = V_{Clock}$$

..... (B型クロック駆動回路)

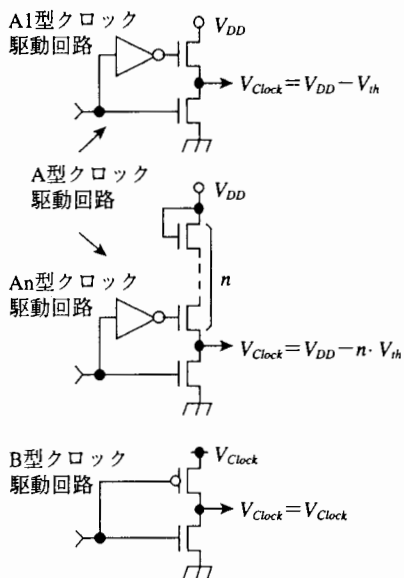


図4 クロック駆動回路

ここで見かけのしきい値電圧V_{th}'は直列挿入されたNMOSが基板バイアス効果を受けるため真のしきい値V_{th}より大きな値となる。A型クロック駆動回路ではオンチップDC-DCコンバータまたは外部からの電源供給は必要なく簡便であるが、B型クロック駆動回路では必要となる。

クロック駆動回路の消費電力P_{Clock}はクロック周波数f, クロック負荷容量C, 電源電圧V_{DD}, クロック振幅V_{Clock}とすると

$$P_{Clock} = f \cdot C \cdot V_{DD} \cdot V_{Clock}$$

..... (A型クロック駆動回路)

$$P_{Clock} = f \cdot C \cdot V_{Clock}^2$$

..... (B型クロック駆動回路)

となる。A型クロック駆動回路は電源供給の面で設計が容易であるが消費電力は V_{Clock} に比例し、B型クロック駆動回路の方がより低消費電力化を達成できる。その一方でB型クロック駆動回路は V_{Clock} 電源供給線が必要となり設計が困難になるといえる。

レイアウト面積、遅延特性および消費電力特性について以下にシミュレーション結果を示す。プリチャージPMOS、P1およびP2のウェルは通常のウェルから分離させなければならないが、P1およびP2はClockが"Low"のときにゆっくりとプリチャージすればよいため大きさは最小で済む。このため大幅な面積の増大を招かず、従来のフリップフロップより約20%減少可能である。しかし同時にウェル間に基板バイアスのための配線が必要であり、このオーバーヘッドも存在する。遅延特性についてはA1型クロック駆動回路を使用しNIのゲート幅 W_{Clock} が $10\mu\text{m}$ のとき、従来のフリップフロップに比べて約20%高速である。

問題となる消費電力特性については図5に示す。シミュレーション条件はクロック線長を $200\mu\text{m}$ 、データDの遷移確率を30%、クロック周波数 f を 100MHz および電源電圧 V_{DD} を 3.3V と仮定している。クロック振幅 V_{Clock} の減少に伴って、消費電力も減少していることが理解できるが、A型クロック駆動回路による消費電力の減少はB型クロック駆動回路のそれより少ない。またウェル電圧 V_{well} が 3.3V 、すなわち基板バイアスが加えられていないときでも低消費電力化は達成できるが、消費電力の減少は V_{Clock} が 1.5V 程度のときに飽和する。これはP1またはP2を通して流れるリーク電流の増加によるものである。その一方で V_{well} が 6V のときは V_{Clock} が 1V のときでも飽和しない。基板バイアス効果によりP1およびP2のしきい値電圧が 0.6V から 1.4V に増加したためである。しかしこのため V_{Clock} が 1.9V 以下のときはP1およびP2は完全にオフしない。なお図5はこのリーク電流による消費電力の増加も織り込み済みであり、リーク電流による消費電力の増加よりクロック振幅の減少に伴う消費電力の減少の方が効果があることを示している。

A1型クロック駆動回路を用いた容易に設計可能な条件では消費電力を従来のフリップフロップの59%に、B型クロック駆動回路と 1.3V の外部供給電源等を用いた場合は同様に37%に削減可能である。このように最善条件ではクロックによる消費電力を従来のほぼ1/3に削減可能である。

RCSFFの応用として差動RCバスへの適用がある。RCSFFはデータDの反転論理を発生させるインバータを取り除くと差動増幅器として利用でき、小振幅クロックのみならず小振幅信号も受け付けることが

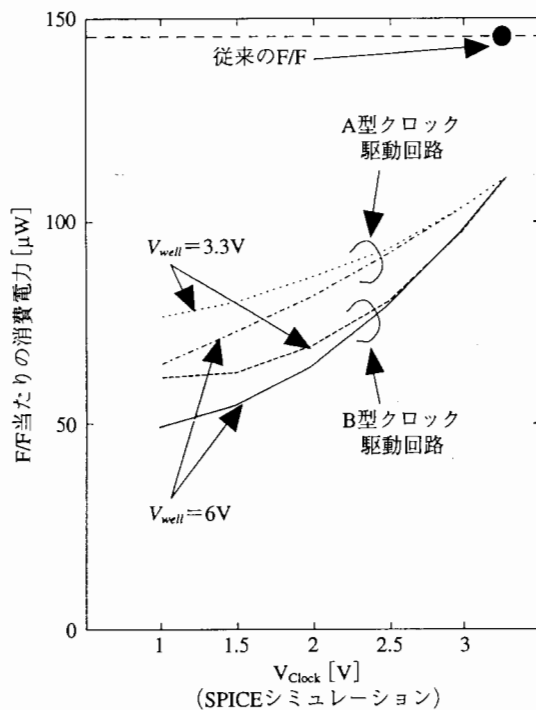


図5
RCSFFの消費電力特性

可能である。これにより差動データを全振幅させる必要はない。時定数の大きい差動RCバスによる遅延を従来のフリップフロップに比べて1/2以下に減少させることが可能である。加えてこの小振幅信号化によりRCバスでの消費電力を低減させることも可能である。

参考文献

- 1) Takayasu Sakurai and Tadahiro Kuroda: "Low-Power Circuit Design for Multimedia CMOS VLSI's", Proceedings of the Synthesis and System Integration of Mixed Technologies (SASIMI), pp.3-10, Fukuoka (1996).
- 2) Hirotsugu Kojima, Satoshi Tanaka and Katsuro Sasaki: "Half-Swing Clocking Scheme for 75% Power Saving in Clocking Circuitry", 1994 Symposium on VLSI Circuits Digest of Technical Papers, pp.23-24, Honolulu (1994).
- 3) Hiroshi Kawaguchi and Takayasu Sakurai: "A Reduced Clock-Swing Flip-Flop for 63% Power Reduction", 1997 Symposium on VLSI Circuits Digest of Technical Papers, pp.97-98, Kyoto (1997).

【川口 博】

低消費電力, 高速LSI技術

Low-power High-speed LSI Circuits & Technology

平成10年1月31日

本体価格 56,000円 (消費税別)

発行所 株式会社 リアライズ社

〒113-0033 東京都文京区本郷4-1-4 コスモス本郷ビル8F

TEL 03 (3815) 8511 (代) FAX 03 (3815) 8529

発行人 村 川 順 之

編 集 深 水 克 郎

制 作 畑 井 耕 次

無断複写・転載を禁ず

©1998

ISBN4-89808-004-9 C3055 ¥ 56000E

編集補助 亀田おりえ

印刷所：日本印刷㈱