

# ITRS ロードマップ準拠標準 SPICE モデルの構築

Organization of a standard SPICE model based on International Technology Roadmap for Semiconductors

稲垣賢一, 神田浩一, 桜井貴康

Kenichi Inagaki, Kouichi Kanda and Takayasu Sakurai

東京大学生産技術研究所

Institute of Industrial Science, The University of Tokyo

## 1. はじめに

近年のデバイス・プロセスの急速な縮小に伴い、将来の CMOS 集積回路の動作状況を回路シミュレーションにおいて予測を行う重要性が高まっている。しかし、未知のプロセスの SPICE モデル作成は煩雑であり、手軽にシミュレーションを行うことが困難であった。

そこで本研究では ITRS ロードマップ[1]に準拠、現在から今後 15 年間の技術進化を網羅した SPICE モデルを作成し、広く公開することにより標準的なシミュレーション環境を提供する。

## 2. 最適化手順

SPICE パラメータの最適化は図 1 の手順で行った。

乗則モデル[2]を利用し、パラメータは 1.3 とし将来的にも変化がないものと仮定する。また、飽和電圧  $V_{DSAT}$  は  $V_{DD}/2$  と仮定した。しきい値については別の予測を用いた。与えたパラメータは表 1 を参照。

オン電流、しきい値を用いて乗則モデルのパラメータを規定し、オフ電流よりサブスレシヨド領域の合わせ込みを行った。

確実性の薄い予測の元にモデルを作成するため、精度を高めることよりも簡便さを重視し、比較的単純な SPICE model3 を用いた。

さらに、キャパシタンス特性を最適化するために、ゲート容量を計算した。その上でロードマップ上のゲート遅延の値と一致するようにジャンクション容量とオーバーラップ容量の合わせ込みを行った。

図 2 では  $0.25 \mu\text{m}$  ノードの乗則モデルと本研究で作成した SPICE モデルを用いて描いた I-V 特性曲線の比較を行った。両モデルの差は少なく、適切な SPICE モデルが作成された。

## 3. まとめ

本研究では将来予測を元に 15 年先までの標準 SPICE モデルの構築を行った。当モデルはインターネット上よりダウンロード可能である。

<http://lowpower.iis.u-tokyo.ac.jp/>

## 参考文献

[1] "International Technology Roadmap for Semiconductor," SIA, Semantech Inc., 2000

[2] T.Sakurai and R.Newton, "A Simple MOSFET Model for Circuit Analysis," IEEE Trans. ED, vol. 38, no. 4, 1991

表 1 主要パラメータ表

年代	1997	1999	2002	2005	2008	2011	2014
世代 (nm)	250	180	130	100	70	50	35
$\alpha$	1.3	1.3	1.3	1.3	1.3	1.3	1.3
$V_{DD}$	2.0	1.5	1.2	0.9	0.7	0.5	0.3
$V_{t0}$	0.46	0.38	0.34	0.30	0.23	0.22	0.17
$Tox$	2.5	2.2	1.7	1.2	1.0	0.7	0.5

$\alpha$ : 速度飽和パラメータ

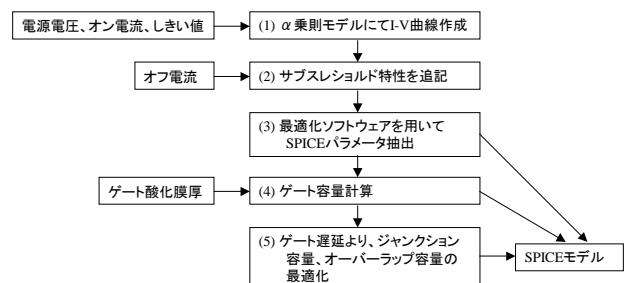


図 1 最適化フローチャート

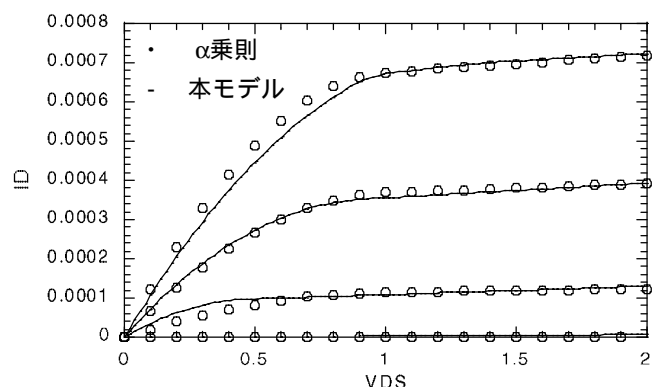


図 2  $I_D$ - $V_{DS}$  特性 ( $0.25 \mu\text{m}$ )