



ITRS*'99準拠 標準SPICEモデルの構築

東京大学 生産技術研究所
稲垣賢一 神田浩一 桜井貴康

* International Technology Roadmap for Semiconductors



概要

- n 背景
- n SPICEモデル作成フロー
- n モデル作成条件
- n 結果
- n まとめ



背景

将来の回路性能を予測したい



SPICEモデルは必須



標準的・統一的なモデルが無い



2014年までの7ノードについてモデル作成



作成フロー

1. ロードマップよりトランジスタ特性に係るパラメータを拾い出す
2. α 乗則トランジスタモデルを用いてトランジスタのI-V特性を計算
3. I-V曲線フィッティングによりパラメータ抽出
4. 遅延特性がトレンドに乗るよう容量パラメータ(C_J , C_G)を調整
5. 完成

α 乗則トランジスタモデル

$$I_D = I_{D5} = I_{DSAT} (1 + \lambda V_{DS}) \quad \text{飽和領域 } V_{DS} \geq V_{DSAT}$$

$$I_D = I_{D3} = I_{D5} \left(2 - \frac{V_{DS}}{V_{DSAT}}\right) \frac{V_{DS}}{V_{DSAT}} \quad \text{線形領域 } V_{DS} < V_{DSAT}$$

$$I_{DSAT} = \frac{W}{L_{EFF}} B (V_{GS} - V_{TH})^\alpha \quad \alpha: \text{速度飽和パラメータ}$$

n MOSのI-V特性を簡単な数式で表したモデル

n 赤字: ロードマップの値より計算される値

n 青字: 仮定を含む値

n 従来の傾向から $\alpha=1.3$, $V_{DSAT}=V_{DD}/2$, $\lambda=0.2$ とする

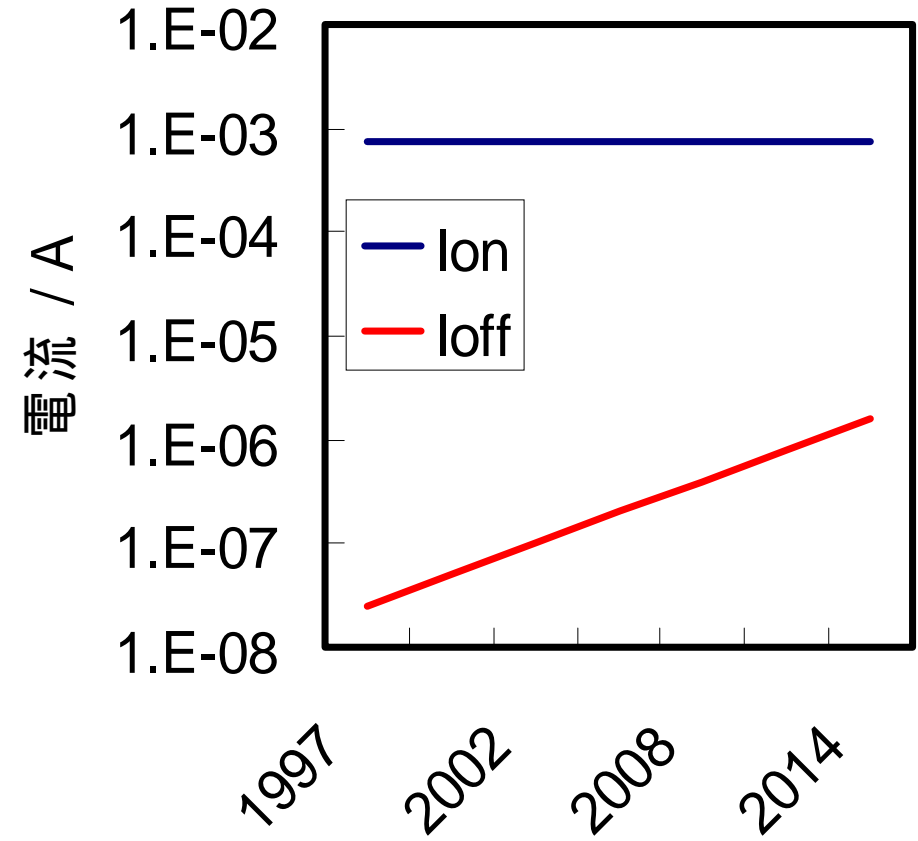
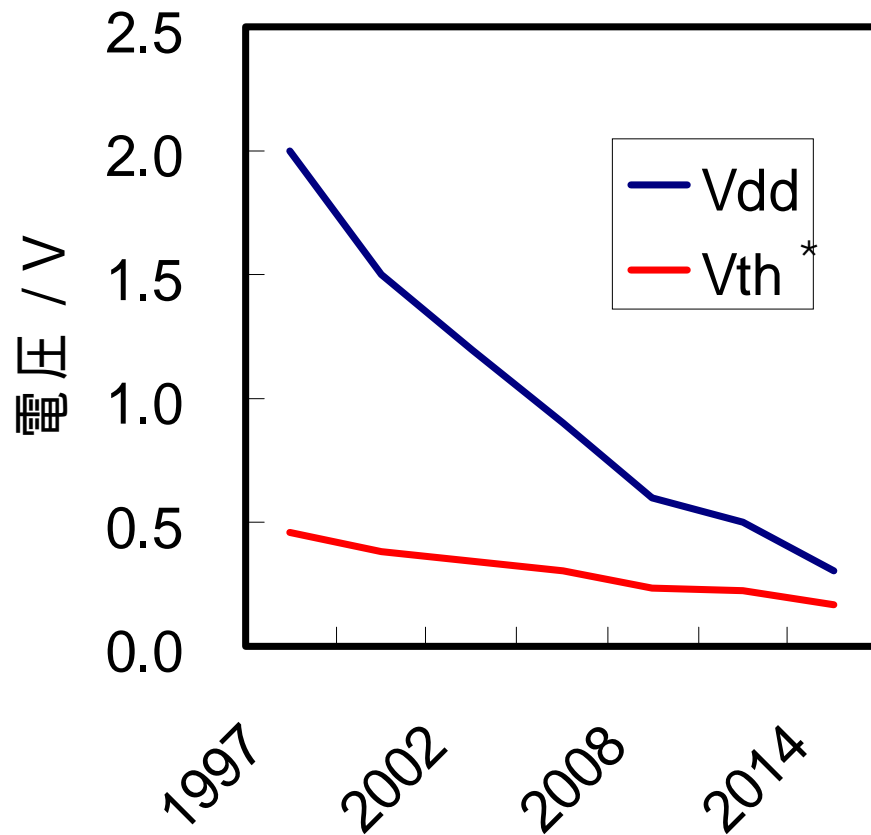


作成条件 (1)

- n SPICE MOS Model3を使用
- n ハイパフォーマンスを想定
- n 幅のある値は中央値を採用
- n 酸化膜厚、基板濃度、接合深さはロードマップの値を使用
- n 仮定
 - n α, λ は現在の値が維持されるとする
 - n 基板バイアス係数 $\gamma = C_D / C_{OX}^*$
 - n L_D はゲート長 L_{DRAWN} の5%とする

* Hiramoto and Takamiya, IEICE Trans. E83-C, 161, 2000

作成条件 (2)

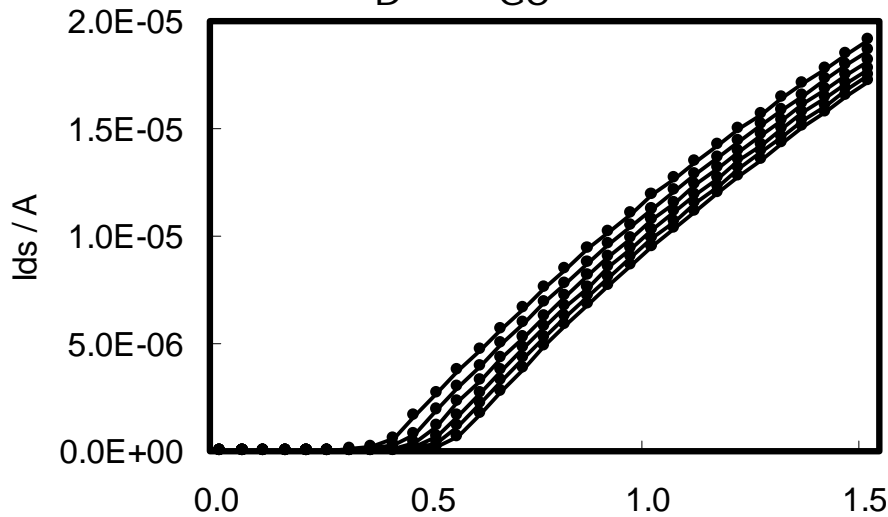


"International Technology Roadmap for Semiconductor," SIA, Semantech Inc., 2000

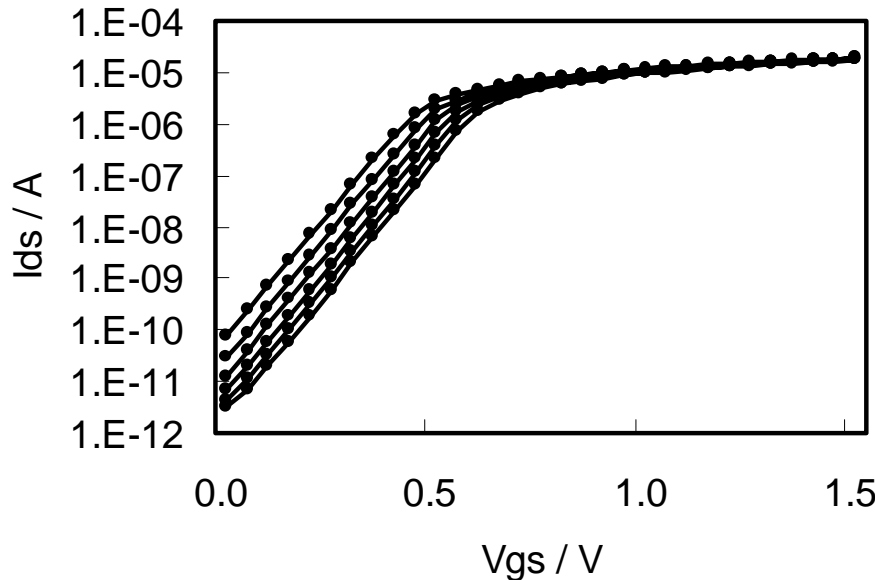
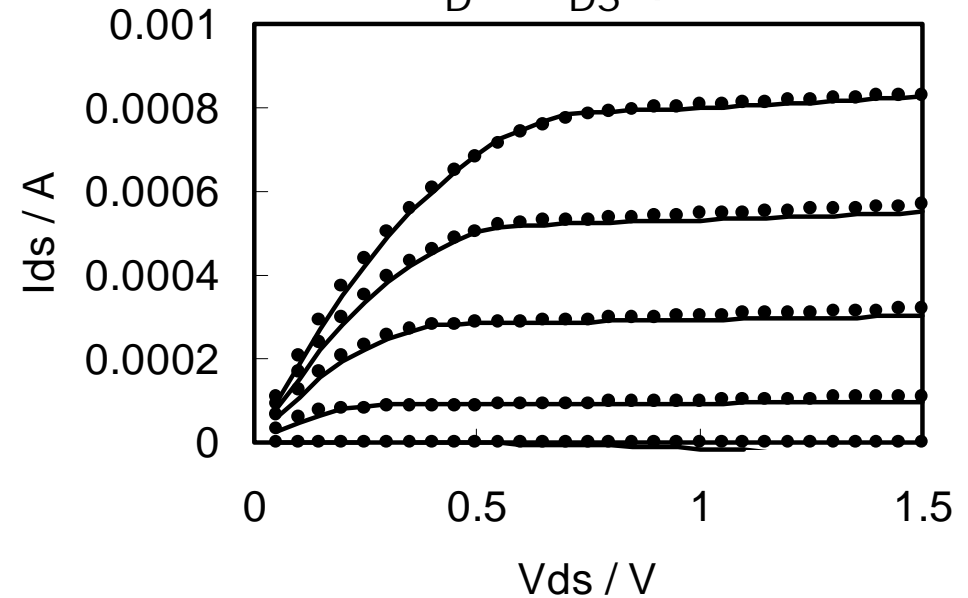
* Allam et al, "Effect of Technology Scaling on Digital CMOS Logic Styles," Proc. of IEEE 2000 CICC, pp401-408

NMOS 0.18 μm 特性

$I_D - V_{GS}$ 特性



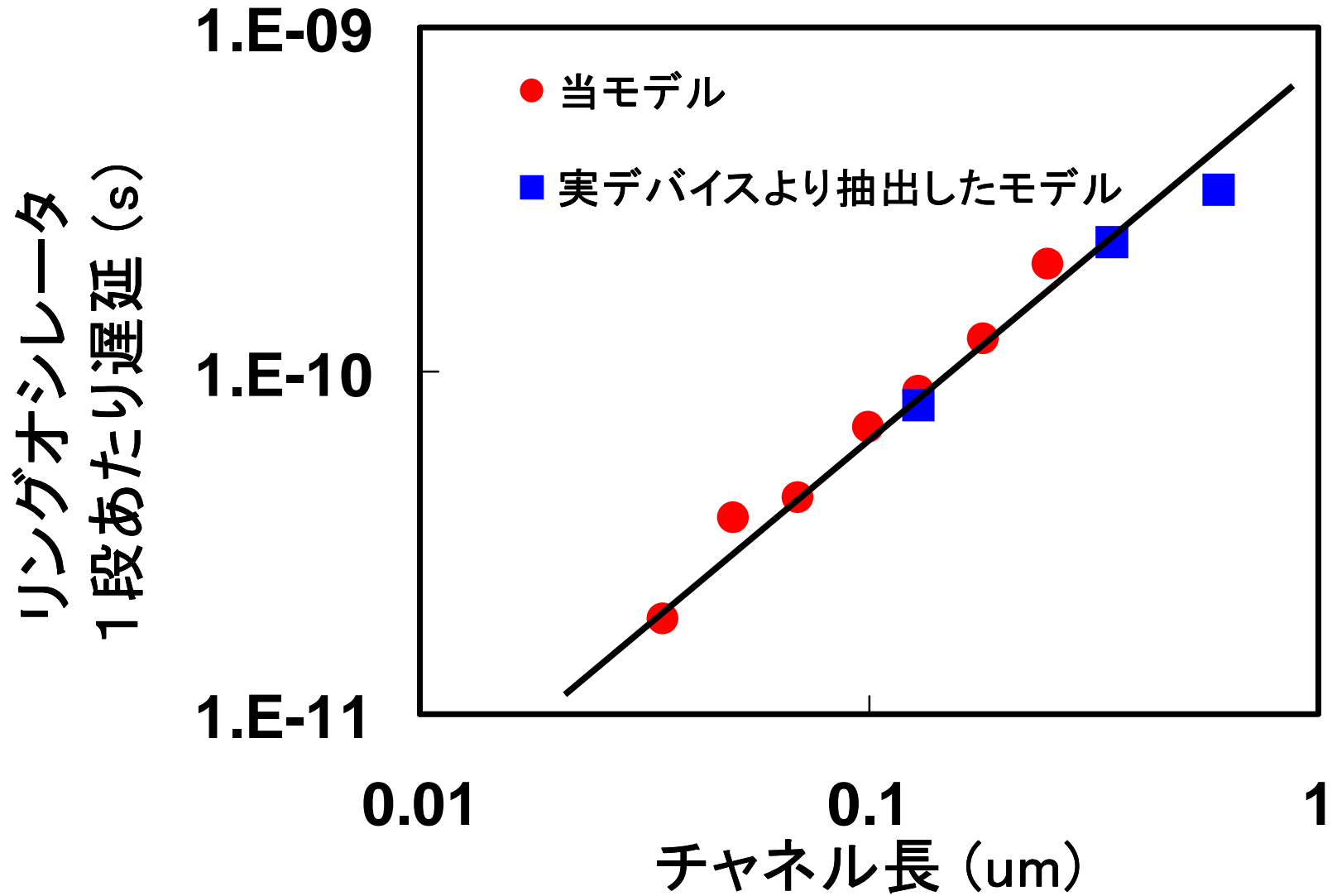
$I_D - V_{DS}$ 特性



NMOS 0.18 μm

- 本SPICEモデル
- α 乗則トランジスタモデル

遅延特性





まとめ

n α 乗則トランジスタモデルに沿った
SPICEモデルを構築

n 各パラメータはロードマップに準拠

n 公開URL

<http://lowpower.iis.u-tokyo.ac.jp/~ina/mospar.lib>