

将来のスーパーコンピュータの省電力化につながるLSI省電力技術を開発

プログラムパターンに応じて、動作周波数と基板電圧をきめ細かに制御し、消費電力を大幅に削減

株式会社日立製作所(執行役社長:古川 一夫/以下、日立)と国立大学法人東京大学生産技術研究所(所長:前田 正史/以下、東大)桜井 貴康教授は、このたび共同で、スーパーコンピュータに搭載されたプロセッサをきめ細やかに制御することで、プロセッサを集積した LSI の省電力化を実現できる技術を開発しました。

本技術は、スーパーコンピュータで大規模計算を行う際、プログラムのパターンによって計算処理を行うプロセッサを特定できることを利用したもので、プロセッサの動作周波数と基板電圧を調整できる回路(レジスタ回路)を設けて、計算処理を行わないプロセッサの周波数を下げるとともに、基板電圧を調整することによって、リーク電流を削減するものです。これにより、LSI の省電力化を図るとともに、スーパーコンピュータ全体での省電力化が可能となります。

今回、90nm プロセスの 4 個のプロセッサを搭載した実験用 LSI を試作して実証実験を行ったところ、LSI の消費電力を最大で約 50%削減できる見通しが得られました。

近年、環境への配慮から、情報機器への省電力化の要求が高まる中、スーパーコンピュータの処理速度を高速化させるだけでなく、消費電力の低減も実現させることが大きな課題となつていますが、本成果は、高性能化と省電力化を両立し、環境に配慮した将来の大規模科学技術計算機を実現させるための基本技術といえます。

なお、本研究は、文部科学省科学技術試験研究委託事業による委託業務「低電力高速デバイス・回路技術・論理方式の研究開発」にて、実施されたものです。

スーパーコンピュータは、天気予報などの毎日の生活を支える情報サービスから、最先端の科学技術の粋を集めて開発される創薬など、さまざまな場面で利用されています。また、その処理能力も10年で約1000倍の伸びであるなど、高度化が進んでいます。スーパーコンピュータは、多数のプロセッサが並列に動作することにより、大規模な計算を行います。その処理能力は心臓部であるプロセッサに大きく左右されます。これまで、プロセッサを初めとする LSI の高性能化は、素子の微細化によって牽引されてきましたが、素子の微細化とともに消費電力が増大するため、今後、さらに高性能化が進むと、近い将来には、スーパーコンピュータの消費電力は10メガワット級になると予測されています。

LSI の消費電力の増大をもたらす主な要因としては、動作電力と、動作していないとき(待機状態)に流れるリーク電流の二つがあります。これまで、携帯電話など小型情報機器向けのシステム LSI では動作パターンの解析が進み、基板電圧を制御することで待機状態の LSI のリーク電流を削減する方式が開発されてきました。そして、スーパーコンピュータでも、プログラムによっては計算処理を行っていないプロセッサが存在することから、それらのプロセッサの周波数と基板電圧をきめ細かく制御して、動作電力とリーク電流を削減することで、計算機全体の省電力化に寄与することが可能になると考えられていました。

そこで、日立と東大桜井教授の研究グループは、スーパーコンピュータのように、極めて多数のプロセッサが並列計算を行う方式でも、動作周波数と基板電圧をきめ細かく制御できる回路方式の開

発に取り組んできました。

今回の開発の成果は、以下の通りです。

(1)大規模科学技術計算プログラム実行時のプロセッサ動作の解析

プロセッサの動作周波数と基板電圧を切り替えるには、処理時間が必要となります。そこで、研究グループでは、大規模計算プログラムが実行される際のプロセッサの動作状況を解析しました。一般に並列計算方式では、並列計算のみを行うプロセッサと、並列計算と共に計算準備や他のプロセッサとの通信を行うプロセッサが存在し、後者が計算準備を行っている間は計算専用のプロセッサが待機状態になるなど、両プロセッサでは計算処理量や動作タイミングが異なることが知られています。今回、詳細な解析の結果、この動作タイミングの差を基板電圧の切り替えに利用でき、さらにプログラムによっては、きめ細やかにこの切り替えを実行できることがわかりました。

(2)プログラムパターンに応じて LSI を省電力制御する回路方式の考案

LSI の基板電圧と動作周波数を設定するレジスタ回路を設け、計算処理を行っていないプロセッサについては周波数を低く設定するとともに、基板電圧を制御することでしきい値電圧を高くし、リーク電流を削減するという方式を考案しました。並列計算を実行する場合、計算準備などを行うプロセッサから計算専用のプロセッサに対して、これから実行する処理内容が指示されます。このとき、処理を割り当てられなかったプロセッサの動作周波数を下げるとともに、基板電圧を上げ、非動作中のリーク電流を抑制します。一方、再び、処理を割り当てられた場合には、計算処理が開始されるまでの準備時間の間に周波数と基板電圧を切り替えて、処理性能を低下させることなく処理の実行が可能となります。

今回、90nm プロセスを用いて、プロセッサ 4 個を搭載した実験用 LSI を試作し、基本動作の確認を行いました。そして、この技術を用いることによって、大規模計算のプログラムによっては、LSI の消費電力を最大で約 50%削減できる見通しが得られました。

本成果は、高性能化と省電力化を両立し、環境に優しい将来のスーパーコンピュータを実現させるための基本技術といえます。

なお、本成果は、2008 年 6 月 18 日から米国・ホノルル市で開催される半導体集積回路に関する国際会議「2008 Symposium on VLSI Circuits」にて発表します。

■照会先

株式会社日立製作所 中央研究所 企画室 [担当:木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地
電話 042-327-7777(直通)

■報道関係お問い合わせ先

株式会社日立製作所 コーポレート・コミュニケーション本部 広報部 [担当:井上]
〒100-8280 東京都千代田区丸の内一丁目 6 番 6 号
電話 03-5208-9324(直通)

以上