

スーパーコネクト

Super-connect

桜井 貴康

Takayasu Sakurai

東京大学、国際・産学共同研究センター及び生産技術研究所
Center for Collaborative Research, and Institute of Industrial Science, University of Tokyo

〒106-8558 東京都港区六本木7 - 2 2 - 1
7-22-1 Roppongi, Minato-ku, Tokyo, 106-8558 Japan

Phone: +81-3-3402-6226, Fax: +81-3-3402-6227, E-mail:tsakurai@iis.u-tokyo.ac.jp
<http://lowpower.iis.u-tokyo.ac.jp/>

Abstract 今後の電子システムを考えるとシステムインパッケージやグローバルインテグレーションの重要性が増す。そこでは、数十 μm といったデザインルールを有するスーパーコネクト技術が活躍する。このようなスーパーコネクト技術はVLSIが直面するIRドロップやRC遅延といった問題を解決するにも有効である。

Abstract The next generation electronic systems will require new cooperative schemes between assembly technology and VLSI's. In realizing the new assembly and packaging schemes, super-connect technology which covers a design rule around 10 μm will play an important role to fill a gap between on-chip interconnects and off-chip interconnects. The super-connect technology will be beneficial to complement the System-on-Chip approach but also beneficial to solve VLSI related issues like IR-drop problem and clock distribution problems.

概要

付加価値の高いシステム LSI が注目を集めている。システム LSI とは複雑なシステム機能を1つのシリコンチップに作りこんだものである。最近では、大容量のダイナミックメモリとプロセッサをワンチップ上に一緒に集積したシステム LSI まで開発されている。例えば、2チップ構成だとメモリとプロセッサ間のデータのやり取りに多大な電力がかかって

いるものが、システム LSI 化することで消費電力を1/4にまで低減できた例などもある。このようにシステム LSI では、今まで多数のチップで作られていた電子システムをワンチップ化することにより数倍高性能にしたり、低電力化したりできる。

しかし、システム LSI を実際に作ってみると、いくつかの問題点も明らかになってきた。システム LSI の設計には、すでに設計検証の終わった IP と呼ば

れる大きな回路ブロックの設計データを組み合わせる方式がとられる。数千万個に上るトランジスタを使ったシステムを一から設計しては、とても開発期限に間に合わないからだ。そのため、システム LSI の成否には多数の IP が市場に流通していることが重要であり、そのような流通市場もいくつか誕生した。

ここで次のような場合を考えよう。性能や機能の観点から、どうしても A 社製のプロセッサと B 社製のメモリをワンチップ化しシステム LSI 化したいとする。これらの回路ブロックが IP として流通していれば、A 社と B 社からこれらの回路ブロックの設計データを調達し、どこかの半導体製造会社に持ち込んでシステム LSI を作るができる。ところが、A 社がどうしてもプロセッサの設計データを一般の市場には出さないとしよう。理由としては自社で製造も行うことによって高付加価値の製品に仕上げたいといったことが考えられる。すると A 社と B 社の製品を使ったシステム LSI を作るができなくなってしまう。今までは、A 社と B 社から独立にチップを購入して、プリント基板を使って高性能な電子システムが組めたものが、システム LSI では A 社と B 社の組み合わせは不可能となる。これでは所望の電子システムができない。

また、本質的にワンチップ化できないものもシステム LSI 化の障害となる。例えば、ガリウム砒素という半導体基板を使った高速なチップとシリコン基板のチップをワンチップ化するのは不可能だ。高性能なアナログチップとデジタルチップをワンチップ化するのも無理がある。デジタル回路から出

されるノイズが基板を伝わってアナログ部分に悪影響を及ぼし、性能を低下させてしまうためである。その他、システム LSI の開発や検証には、年単位の期間がかかったり、億円単位のコストがかかるといった問題もある。システム LSI ではチップサイズが大きくなって歩留まりが低下し、価格が跳ね上がるといった指摘もされている。

だからといって、今さらプリント基板に多数のチップを載せて電子システムを組むというのでは性能的に限界がある。このような問題を軽減するものとして、最近、システム・イン・パッケージという新しい三次元実装技術が注目されている。例えば、チップをインターポーザーと呼ばれる超薄型で小型な支持物に固定し、これらを複数個組み合わせて、システムを一つのパッケージの中に入れてしまおうというものである。半導体チップ以外にもコイルやコンデンサ、水晶発振子などもワンパッケージに収められる新しい三次元実装形態だ。こうすることによって速度、電力、実装面積などを従来のプリント基板で作った電子システムより数倍改善することができ、システム LSI にも匹敵する性能を実現できる場合も多い。このような新しい実装技術ではスーパーコネクトと呼ばれる 0.01~0.1 ミリ幅の配線技術が活躍する。

日本は半導体技術も実装技術も技術としては世界最先端を走っている。しかし、米国で設計アジア諸国で製造するといった水平分業型のモデルに対してのコスト競争力の低下から、ここ数年ビジネスとして米国などに水をあけられる結果となってしまった。日本の有する各種の技術分野を有

機的に連携させ、垂直統合的な色彩も加えながら半導体産業を再生することが、わが国の電子産業の将来の競争力をより確固なものにすると考えられる。新しいシステム・イン・パッケージといった三次元実装技術が未来を担う技術として注目されているゆえんである。システム・イン・パッケージの設計は半導体チップの設計と密接な連携を取る必要があり、従って、分野間の有機的な連携なくしては高性能な最終製品に仕上がらないためである。

If we look into the scaling law carefully, we find that three crises exist in realizing VLSI's of the coming years: namely power crisis, interconnection crisis, and complexity crisis. As for the power crisis, the current crisis as is more important from the viewpoint of interconnections. The IR voltage drop may demand thicker metal layers in and new assembly schemes such as System-in-Package can solve the problems.

Not MOSFET's but interconnections will be determining cost, delay, power, reliability and turn-around time of the future LSI's. There are lots of design issues in the deep submicron interconnects. Signal integrity is becoming one of the major design issues due to the increased coupling capacitance between interconnects. The increased coupling capacitance relative to grounding capacitance is due to a higher aspect ratio of deep submicron interconnects. Interconnect delay is another big headache of scaled-down interconnects, which can be mitigated

by using a buffer insertion technique. The delay can be reduced by the technique but the power is increased by about 70% due to the inserted buffers. Another way to decrease the interconnect delay without increasing power is to use a thicker and wider metal layer like super-connects described below.

It is just impossible to design LSI's with 100 million transistors from scratch. The complexity crisis can only be solved by the sharing and re-use of design data. So-called IP-based System-on-Chip design style will be preferable. The virtual components are put together on a silicon die to build billion-transistor VLSI's, which can be compared to the present system implementation with printed circuit boards (PCB) and separately packaged VLSI components. However, issues in System-on-Chip are getting clear such as undistributed IP's (i.e. CPU, DSP of a certain company), huge initial investment for masks and development, IP testability, upfront IP test cost, process-dependent memory IP's, difficulty in high precision analog IP's due to noise, and process incompatibility with non-Si materials and/or MEMS. The mask count increases so much if different types of technologies are to be embedded on a single chip. Moreover, the embedding technologies should be developed for each generation and if the types of technologies are diverse, the required engineering efforts are almost impossible to spare.

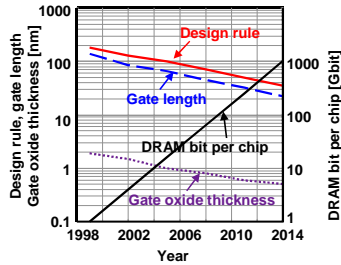
In order to cope with these issues, a new type of

3-dimensional assembly called System-In-Package has been proposed. The System-In-Package will be using the 'super-connect' technology as with the interconnect thickness of the order of $10\mu\text{m}$. The super-connect technology will fill up technology vacuum between the design rule of $1\mu\text{m}$ order for on-chip interconnects and that of $100\mu\text{m}$ order for off-chip interconnects. The super-connects in a package used in cooperation with on-chip interconnects will solve the IR drop problem, the clock distribution problem and other problems of the future VLSI's. The co-design of on-chip interconnects and the super-connects in a package is important including the development of a new set of EDA tools.

The super-connect technology fills a gap between off-chip interconnects and on-chip interconnects not only in terms of design rules but also in terms of power, bandwidth, area, cost and turn-around-time. The major issue in realizing the System-in-Package, however, is to establish a method to select known good dies before assembly. It is very difficult to test a chip at an operating speed at a wafer level without a package, since probing needles used for the wafer test cannot handle signals more than several hundred MHz. These days, however, a new test method using a semi-package called an interposer has been proposed. By using the semi-package, it is possible to carry out at-speed testing of a chip, which may solve the known good die problem. The assembly and packaging technology is

becoming vital to VLSI's as the following passage from ITRS shows: "There is an increased awareness in the industry that assembly and packaging is becoming a differentiator in product development."

Moore's Law

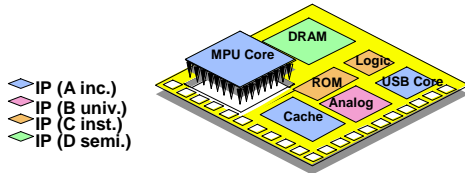


Issues in System-in-Package

- Special design tools for placement & route for co-design of LSI's and assembly
- High-density reliable substrate and metallization technology
- low-cost, available known good die (reworkability and module testing)

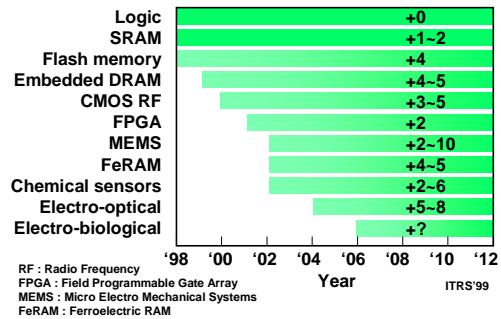
System on a Chip (SoC)

- Re-use and sharing of design
- Design in higher abstraction



IP ; CPU, DSP, memories, analog, I/O, logic..
HW/FW/SW

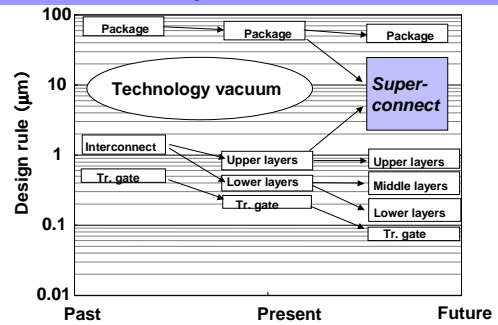
Technologies integrated on a chip



Issues in System-on-Chip

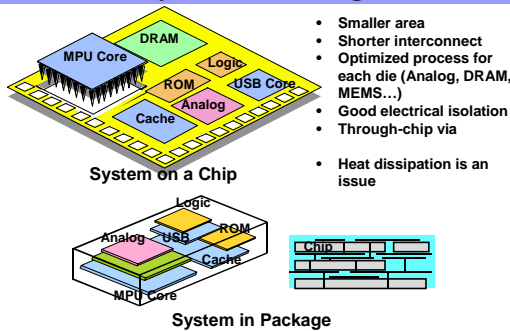
- Un-distributed IP's (i.e. CPU, DSP of a certain company)
- Low yield due to larger die size
- Huge initial investment for masks & development
- IP testability, upfront IP test cost
- Process-dependent memory IP's
- Difficulty in high precision analog IP's due to noise
- Process incompatibility with non-Si materials and/or MEMS

Super-connect

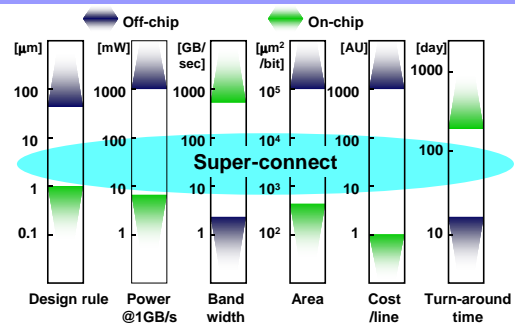


Nikkei microdevices

System in Package



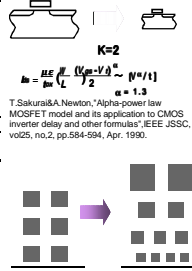
Super-connect



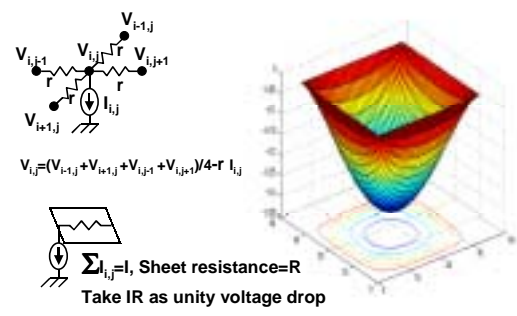
Scaling Law

Transistors		Scaling coefficients	
V_{DD}	[V]	1/k	
Tr. dimensions	[μ]	1/k	
Drain current	[$I = 1/2 \mu C_{ox} V_{GS}^2$]	$1/k^{0.5}$	
Gate capacitance	[C]	1/k	
Tr. delay	[d-CV]	$1/k^{1.5}$	
Tr. power	[P-VI]	$1/k^{1.5}$	
Power density	[P-VI/A]	$k^{0.5}$	
Tr. density	[$n = 1/k^2$]	k^2	

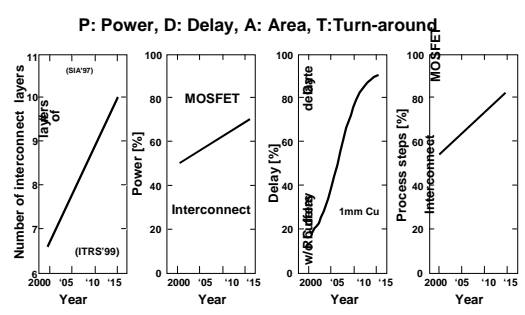
Interconnects		Local Scaled	Global Anti-scaled
Line thickness	[t]	1/k	k
Width	[W]	1/k	k
Separation	[S]	1/k	k
Oxide thickness	[H]	1/k	1
Length	[L]	1/k	1
Resistance	[$R_{int} = L/Wt$]	k	$1/k^2$
Capacitance	[$C_{int} = LW/H$]	1/k	k
RC delay/Tr. delay	[$D = R_{int} C_{int} / d$]	$k^{1.7}$	
Current density	[$J = P/WL/V$]		$k^{0.5}$
DC noise / V_{DD}	[$N = JWTR/V$]		$k^{1.7}$



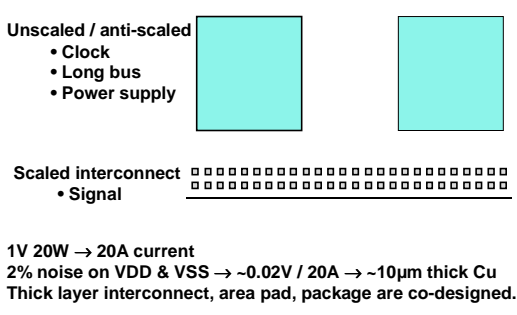
IR Drop



Interconnect determines cost & perf.



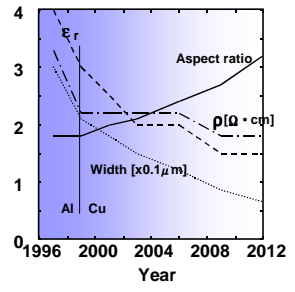
Interconnect Cross-Section and Noise



DSM interconnect design issues

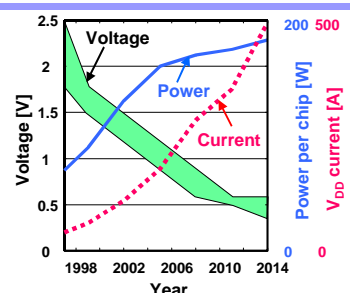
- Larger current**
 - IR drop (static and dynamic)
 - Reliability (electro-migration)
- Smaller geometry / Denser pattern**
 - RC delay
 - Signal Integrity
 - Crosstalk noise
 - Delay fluctuation
- Higher speed**
 - Inductance
 - EMI

Interconnect parameters trend



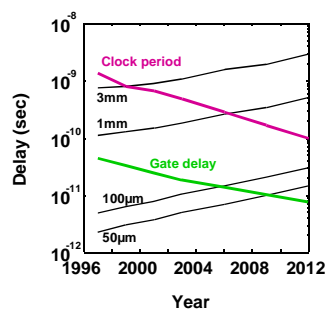
Semiconductor Industry Association roadmap
<http://notes.sematech.org/1997pub.htm>

VDD, Power and Current Trend

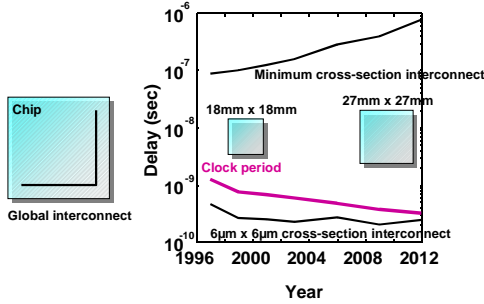


International Technology Roadmap for Semiconductors 1998 update sponsored by the Semiconductor Industry Association in cooperation with European Electronic Component Association (EECA), Electronic Industries Association of Japan (EIAJ), Korea Semiconductor Industry Association (KSIA), and Taiwan Semiconductor Industry Association (TSIA)

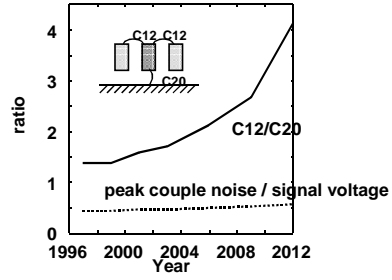
RC delay and gate delay



RC delay of global interconnections



Capacitive Coupling Noise



Repeaters

C_T R_{INT}

a) Without repeaters $t_{05} = 0.377 R_{INT} C_{INT} + 0.693 (R_T C_T + R_T C_{INT} + R_{INT} C_T)$
 b) With repeaters

C_0 : Gate capacitance of minimum MOSFET
 R_0 : Gate effective resistance of minimum MOSFET

$Delay = k \left[p_1 \frac{R_{INT} C_{INT}}{k} + p_2 \left(\frac{R_0}{h} C_0 + \frac{R_0 C_{INT}}{h} + \frac{R_{INT} C_0}{k} \right) \right]$: Buffered

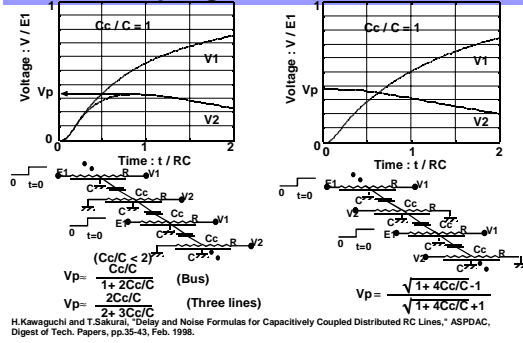
$\frac{\partial Delay}{\partial h} = 0 \rightarrow h_{OPT} = \sqrt{\frac{C_{INT} R_0}{R_{INT} C_0}}$: Optimized size of buffer inverter

$\frac{\partial Delay}{\partial k} = 0 \rightarrow k_{OPT} = \sqrt{\frac{p_1}{p_2} \frac{R_{INT} C_{INT}}{R_0 C_0}}$: Optimized number of stages

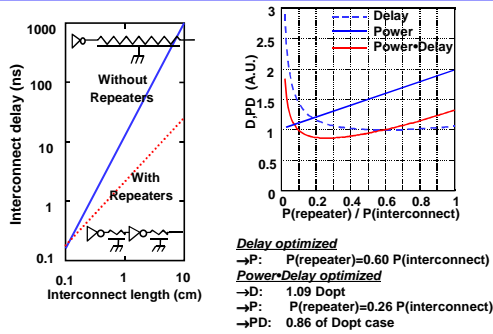
$Delay_{OPT} = 2 \sqrt{p_1 p_2 + p_2} \sqrt{R_{INT} C_{INT} R_0 C_0} = 2.4 \sqrt{\tau_{INT} \tau_{MOS}}$

$Cap. of gates = k_{OPT} h_{OPT} C_0 = \sqrt{p_1 p_2} C_{INT} = 0.73 C_{INT}$

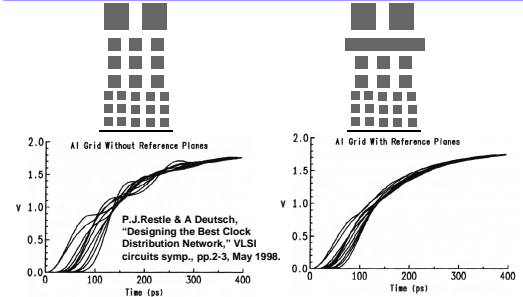
Coupling noise in RC bus



Delay and Power Optimization for Repeaters

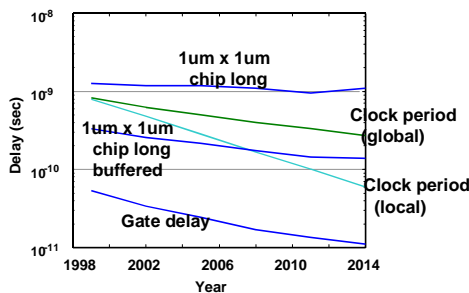


Inductive Effects in Clock Lines

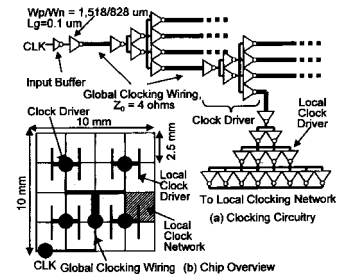


Board design practice is imported in LSI.

Buffered interconnect delay



H-tree clock distribution



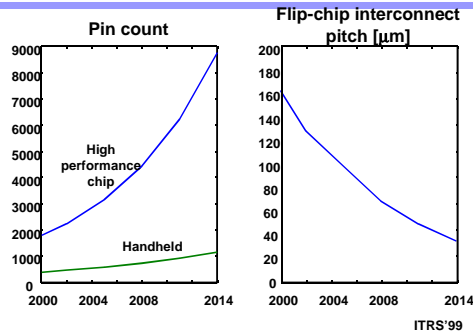
M. Mizuno, K. Anjo, Y. Sumi, H. Wakabayashi, T. Mogami, T. Horuchi, M. Yamashina, "On-Chip Multi-GHz Clocking with Transmission Lines," ISSCC, pp.366-367, Feb. 2000

LSI in 2014

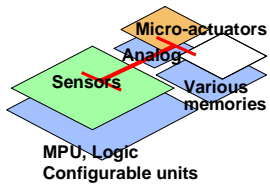
Year	Unit	1999	2014	Factor
Design rule	μm	0.18	0.035	0.2
Tr. Density	/cm ²	6.2M	390M	30
Chip size	mm ²	340	900	2.6
Tr. Count per chip (μP)		21M	3.6G	170
DRAM capacity		1G	1T	1000
Local clock on a chip	Hz	1.2G	17G	14
Global clock on a chip	Hz	1.2G	3.7G	3.1
Power	W	90	183	2.0
Supply voltage	V	1.5	0.37	0.2
Current	A	60	494.6	8
Interconnection levels		6	10	1.7
Mask count		22	28	1.3
Cost / tr. (packaged)	μcents	1735	22	0.01
Chip to board clock	Hz	500M	1.5G	3.0
# of package pins		810	2700	3.3
Package cost	cents/pin	1.61	0.75	0.5

International Technology Roadmap for Semiconductors 1998 update sponsored by the Semiconductor Industry Association in cooperation with European Electronic Component Association (EECA), Electronic Industries Association of Japan (EIAJ), Korea Semiconductor Industry Association (KSIA), and Taiwan Semiconductor Industry Association (TSIA), International Technology Roadmap for Semiconductors: 1999 edition. Austin, TX:International SEMATECH, 1999.

Trend in packages



Possible electronic system in 2014



- Sensors/actuators
- 0.035μm 3.6G Si FET's with VTH & VDD control
- Locally synchronous 17GHz clock, globally asynchronous
- Chip / Package / Board system co-design for power lines, clocks, and long wires (super-connect)