

1M ビット バーチャリ スタティック RAM

1-M bit Virtually Static RAM

桜井 貴 康⁽¹⁾ 各務 正 一⁽²⁾ 佐藤 勝 彦⁽²⁾
Takayasu Sakurai, Ph. D.* Masakazu Kakumu* Katsuhiko Satō*

大容量スタティック RAM の新しい方式として、バーチャリ スタティック RAM を世界に先駆けて開発した。この RAM は一つのトランジスタと一つのキャパシタからなるダイナミック形のメモリセルを用いながら、ユーザにはまったくリフレッシュの負担がなく、したがってスタティック RAM として使用できる。

この方式により、従来方式の1/4程度のメモリセル面積で実質的に1Mビットのスタティック RAM が得られた。最小1.0 μ mの微細加工技術、ツインウェル CMOS プロセスの採用および種々の回路的工夫により、動作電流 21 mA (150ns サイクル時)、スタンバイ電流 30 μ A (室温)、アドレスアクセス時間 62ns という高性能を達成した。

1-M bit virtually static RAM was developed as a new type of large-capacity static RAM. This RAM, employing a dynamic memory cell consisting of a transistor and a capacitor, virtually acts as a static RAM since no refreshing operation is needed. This specific feature makes it possible to make a static RAM four times larger in memory capacity than the conventional ones.

The high performance achieved through the twin well CMOS process and advanced circuit techniques are as follows: the operating current of 21 mA (150 ns cycle time), the standby current of 30 μ A at room temperature and the address access time of 62 ns.

〔1〕 ま え が き

スタティック RAM は、ここ3世代、2年に4倍の速度で大容量化が進んできた。しかし、リンググラフィの問題からこの開発速度で、1Mビットのスタティック RAM (SRAM) を実現することはきわめて困難になってきている。従来の大容量 SRAM のメモリセルは四つの MOSFET と二つの多結晶シリコン負荷からなっていたが、このメモリセル (以下 4 Tr セルと呼ぶ) で、1Mビット SRAM を作るには、0.7~0.8 μ m の線幅の多結晶シリコンを安定して加工しなくてはならず、現在では不可能だからである。

一方、CPU の処理能力が上がるのに伴い、SRAM の大容量化への要求はますます増大してきている。当社では、ダイナミック RAM に使用される一つの MOSFET と一つのキャパシタンスから構成される小さなメモリセル (以下 1 Tr セルと呼ぶ) を利用して、実質的なスタティック RAM ができないかを検討してきた。その結果、1 Tr セルに必要なリフレッシュ関連の動作をすべてオンチップで行ってやることによりユーザにはリフレッシュの負担をまったくかけないバーチャリスタティック RAM (Virtually Static RAM: VSRAM) を開発した。

〔2〕 VSRAM の基本動作と回路技術

図1に VSRAM の基本動作を示す。アドレスが変化し、通常のアクセス動作が起こった場合、そのアドレスに対応するワード線が開きデータが I/O ピンに出てくるという一連の動

作が起こる。この通常動作のうち、アドレス スキューを待つ時間やアドレスをデコードしている時間、および、出力回路を駆動している時間は、ワード線およびメモリセルは直接には使用していない。そのためこの間にリフレッシュ動作を併合できる (バックグラウンドリフレッシュ) というのが VSRAM の基本的な考え方である。

図2に示す回路構成によって、もう少し詳しく述べる。リフレッシュタイマはリフレッシュが必要な期間を計っており、リフレッシュが必要な時刻になるとリフレッシュ動作要求信号が出力される。もしこのとき、通常動作によってメモリセル部が使用されていないならば、すぐにリフレッシュ動作が起こるが、もし使用されていればメモリセル部が開放されるまで待ってからリフレッシュ動作を始める。逆に通常動作も、もしリフレッシュ動作が先に行われている場合には、このリフレッシュ動作が終了するのを待ってから開始される。この

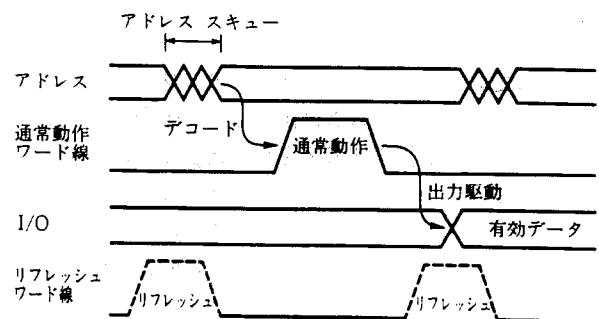


図1. バーチャリ スタティック RAM の動作原理 メモリセル部が通常動作で使用されていない時間にリフレッシュを割り込ませるとするのが基本的原理。

Basic principle of virtually static RAM

(1) 半導体技術研究所 工博 * Semiconductor Device Engineering Lab.
(2) 半導体技術研究所

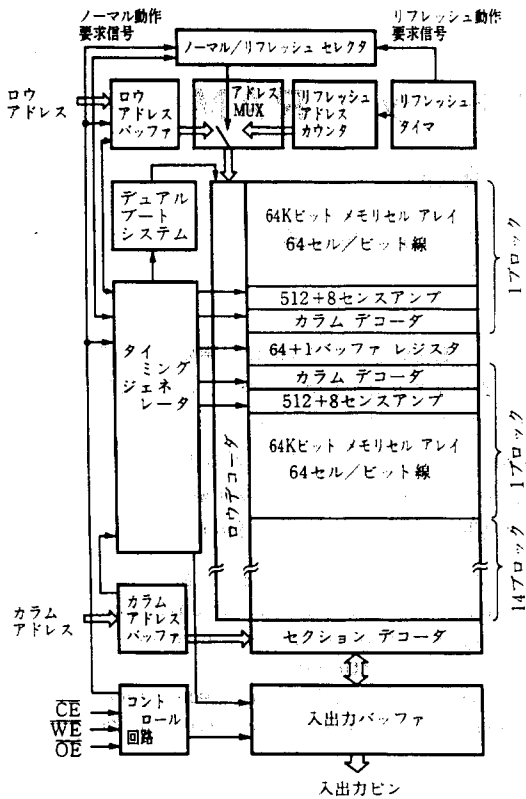


図2. 1MビットVSRAMの構成 ノーマル/リフレッシュセクタによって、通常動作を行うべきか、リフレッシュ動作を行うべきかを判断する。
Block diagram of 1-M bit VSRAM

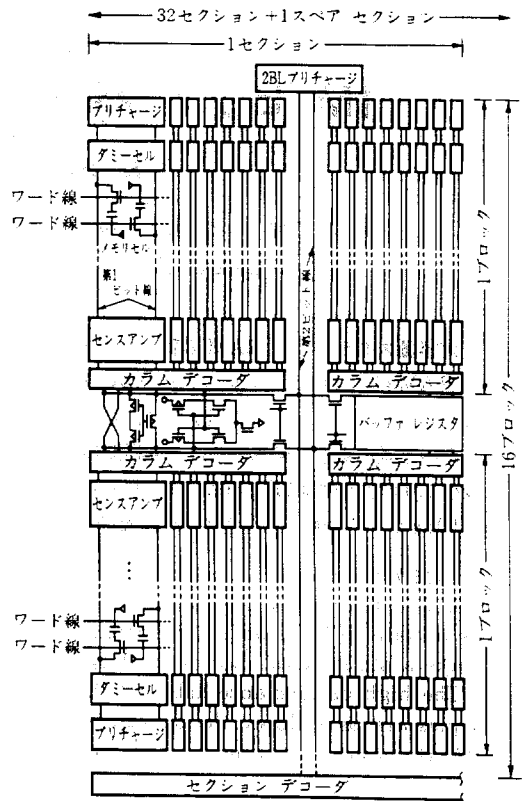


図3. 1MビットVSRAMのメモリセル部のアーキテクチャ
第1, 第2のビット線(1BL, 2BL)を配置することで、データバスの静電容量を軽くし、高速化した。
Memory core architecture of 1-M bit VSRAM

ような判断を行うのが図中のノーマル/リフレッシュセクタで、アービタ回路(arbiter)になっている。

VSRAMに似たものに疑似スタティックRAM(Pseudo Static RAM: PSRAM)があるが、VSRAMはPSRAMと異なり、ユーザはリフレッシュのタイミングを考える必要もないし、リフレッシュによる不規則な時間のロスも考える必要がなく、きわめて使いやすくなっている。

VSRAMでは、リフレッシュによる速度的なオーバーヘッドを少なくするためにメモリセル部の高速動作が必須である。このため図3に示すようにビット線を16分割し、かつビット線を二重化してデータバスの静電容量を軽くした。

また、センスアンプの直後にバッファレジスタを設け、通常動作でアクセスされたメモリセルのデータが、このレジスタに移されれば、メモリセル部はリフレッシュ動作ができるようになっている。このとき、セル部のリフレッシュ動作と並行して、バッファレジスタは出力回路を駆動している。リフレッシュと通常動作の切替えを高速化するため、ブートストラップ回路は二つ用意し、一つが動作しているとき、もう一つはプリチャージするように構成されている。

VSRAM実現のための主要回路技術を目的と合わせて表1に示す。

なお、1 μ mのトランジスタを信頼性高く使うため、ブートストラップされた節点を放電するトランジスタ部にNOEMI(Normally-On Enhancement MOSFET Insertion)技術⁽¹⁾を使い、回路に耐ホットエレクトロン性をもたせた。

表1. 1MビットVSRAMに使用した主要回路技術と目的
Key circuit techniques and their objects

	使いやすさ	高速	低電力	高信頼性
バックグラウンドリフレッシュ	○			
バッファレジスタ	○			
アドレスマルチプレックスなし	○			
二重ビット線		○		
ビット線16分割		○		
1/2 Vccプリチャージ		○	○	
1/2 Vccセルプレート		○	○	
ブートされたアルミワード線		○		○
デュアルブート回路		○		○
無基板バイアス			○	

[3] プロセス技術とメモリセル構造

1MビットVSRAMでは、メモリセルをN形基板上的の独立したPウェル中に配置し、I/Oピンやアルファ線による少数キャリアから守っている。また、周辺回路にツインウェルCMOS構造、1.0 μ m MOSFET技術、配線に2層多結晶シリコン、2層Alプロセスを採用し高性能なデバイスを実現した。各種のプロセスパラメータを表2に示す。

3.1 微細加工技術

チップ上に約220万素子を集積するため、および高性能な回路動作を目的として微細MOSFETを駆使しているために徹底的な微細加工技術が要求される。5:1縮小露光による微細加工技術と高性能反応性イオンエッチング(RIE)を全面的に使用することでこの要求を実現した。また高速回路動作の

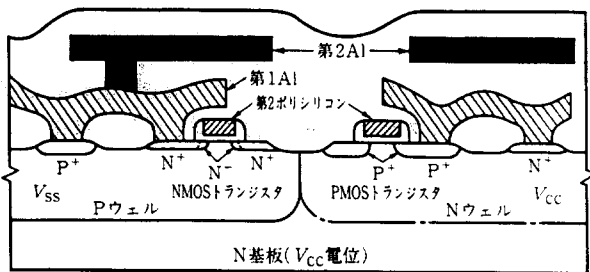
表2. 1MビットVSRAMのプロセスパラメータ
Process parameters of 1-M bit VSRAM

プロセス	ツインウェル CMOS 2層ポリシリコン/2層 Al
ゲート長	1.0 μ m (NMOS) MLDD構造 1.2 μ m (PMOS)
キャパシタゲート酸化膜厚	10nm
トランジスタゲート酸化膜厚	20nm
接合深さ	0.20 μ m(N ⁺), 0.35 μ m(P ⁺)
拡散層(線幅/間隔)	1.1 μ m/1.4 μ m
第2ポリシリコン(線幅/間隔)	1.0 μ m/1.4 μ m
コンタクト寸法	1.1 μ m×1.4 μ m
第1 Al (線幅/間隔)	1.3 μ m/1.5 μ m
スルーコンタクト寸法	1.8 μ m×2.0 μ m
第2 Al (線幅/間隔)	1.8 μ m/1.9 μ m
セルサイズ	3.5 μ m×8.4 μ m

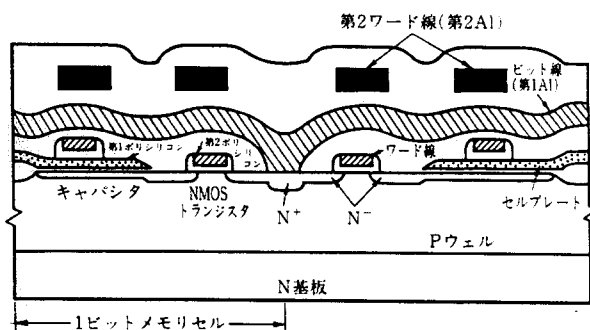
ために多層メタル配線を用いているが、平坦化技術にも力を注ぎ信頼性を確保した。

3.2 ツインウェル CMOS 技術

微細 CMOS 構造にとってウェル分離、および MOSFET 作製技術は特に重要な項目である。周辺回路で使用しているツインウェル CMOS インバータの断面構造を図 4 (a) に示す。トランジスタの設計は 5 V 電源電圧を使用するために、特に 1.0 μ m NMOS の長時間の信頼性向上を考え、従来の LDD 構造をさらに改良した MLDD (Moderately Lightly Doped Drain) 構造を採用している。この構造ではドレイン近傍の電界が緩和され、ホットキャリアの発生を抑制すると同時に LDD 特有のトランジスタの劣化モードを最小限に抑えられるので、長期信頼性のある NMOS トランジスタが実現できる。



(a) CMOS トランジスタ構造



(b) メモリセル構造

図4. ツインウェルMOSFETとメモリセルの断面構造 ツインウェルプロセスを使い、高性能化を図っている。

Structure of twin-well MOSFET and memory cell

さらにパンチスルー耐圧、バックゲートバイアス効果低減のために、ドレイン近傍に P タイプの不純物層を設けた P ポケット構造を用いた。1 M ビット VSRAM では低スタンバイ電流をねらって、基板バイアスを用いていないためにバックゲートバイアス効果が比較的大きくなりやすい。しかし、この構造により従来の NMOS よりもバックゲートバイアス効果は、基板電圧 -4 V のとき約 0.5 V 軽減された。

素子の高速動作のためには、あらゆる寄生効果の低減が必要であるが、今回のツインウェルの採用により、不純物分布の最適化がバランスよく行われ、ゲート 1 段当たり約 160 ps (ファンアウト = 1) と高速化を実現した。従来の CMOS 構造ではラッチアップ、ウェルと拡散層のパンチスルーが狭いスペースで問題となっていたが、ツインウェル構造により大幅に改善され、N⁺層/P⁺層 3 μ m スペースまで安定したウェル分離が実現できた。

3.3 高密度メモリセル

メモリセルの断面構造を図 4 (b) に示す。2 層目の多結晶シリコンで作られたワード線は抵抗を下げるためにセルアレイ中に数か所で 2 層目のアルミニウムとコンタクトをとっている。記憶用キャパシタとしては技術的に完成度の高い平板形のものを用い、極薄絶縁膜形成技術により絶縁膜厚 10 nm という薄膜を形成している。セルプレート電極はセルキャパシタの絶縁膜に印加される電界を緩和するため、および電源パンプによりメモリセルが順バイアスされることを防ぐ目的で約 2.5 V のほぼ定電位に設定している。VSRAM では低スタンバイ電流化のためにリフレッシュサイクルを長くしたい。すなわち、セルキャパシタは長時間記憶を保持することが重要である。ソフトエラー率低減も合わせて考え、キャパシタ部の不純物濃度、分布が最適化されている。

〔4〕 機能および性能

図 5 に 1 M ビット VSRAM のチップ、図 6 にピン配置を示す。チップサイズは 5.99 mm×13.80 mm、パッケージは 32 ピンの 600 ミル幅 DIP 形である。図 7 にアドレス アクセス時間の波形を示す。遅いほうのアクセス波形が真のアクセス時間 62 ns を示しておりこの場合は通常動作の前にリフレッシュ動作が入っている。速いほうのアクセス時間は、リフレッシュ動作が入らない場合で 48 ns を示しているので、バックグラウンドリフレッシュによるアクセス時間のオーバーヘッドは約 30 % であるといえる。また、図 7 に電子ビームテストによって測定した内部動作波形を示す。

この場合はリフレッシュ動作要求信号のほうが通常動作要求信号より速いので、通常アクセスに先だってリフレッシュが行われている。1 番ピンはテスト イネーブル端子となって

表3. 1MビットVSRAMの性能一覧表

Performance list of 1-M bit VSRAM

構成	128Kワード×8ビット
電源電圧	5 V ±10%
チップサイズ	5.99mm×13.8mm
メモリセルサイズ	3.5 μ m×8.4 μ m
アドレスアクセス時間	62ns
動作電流	21mA (150nsサイクル)
スタンバイ電流	30 μ A(室温)
パッケージ	32ピン600ミルDIP

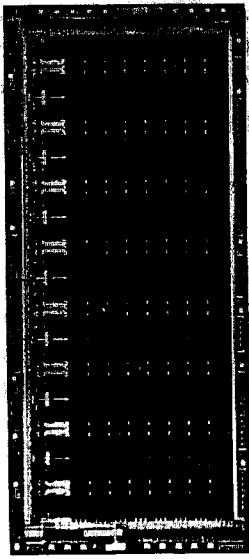


図5. 1MビットVSRAMのチップ。チップサイズは5.99mm×13.80mmで、メモリセル部は高速化のために多くのブロックに分かれている。

Microphotograph of chip

TE	1	32	V _{CC}
A ₁₆	2	31	CE ₂
A ₁₄	3	30	A ₁₅
A ₂	4	29	R/W
A ₇	5	28	A ₁₃
A ₆	6	27	A ₈
A ₅	7	26	A ₉
A ₄	8	25	A ₁₁
A ₃	9	24	OE
A ₂	10	23	A ₁₀
A ₁	11	22	CE ₁
A ₀	12	21	I/O ₈
I/O ₁	13	20	I/O ₇
I/O ₂	14	19	I/O ₆
I/O ₃	15	18	I/O ₅
GND	16	17	I/O ₄

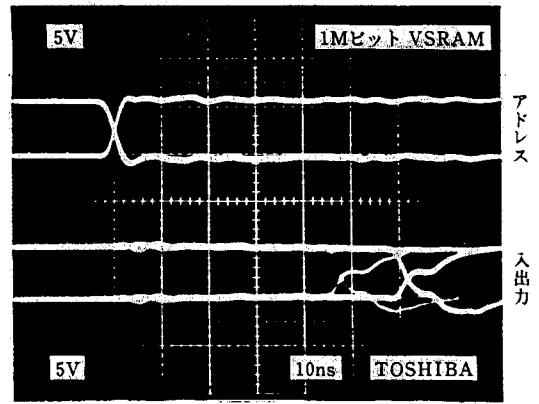
図6. ピン配置 32ピン、600ミル幅のDIP形パッケージにマウントされており、1番ピンはテストイネーブルピンである。

Pin connection

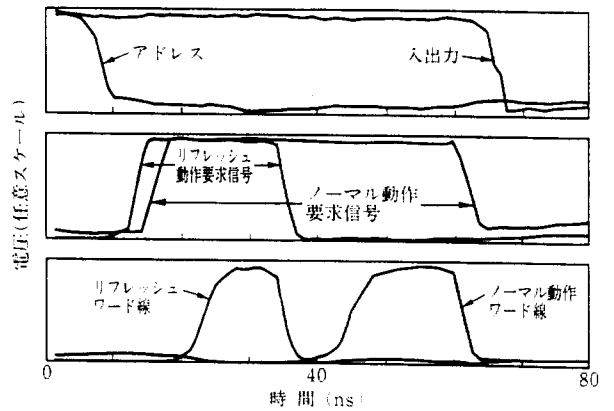
おり、このピンに外部から信号を加えることによってリフレッシュ関係の動作を意図的に外部から制御し各種の試験を行えるように配慮されている。表3に1MビットVSRAMの特徴を示す。

〔5〕あ と が き

1トランジスタ+1キャパシタというダイナミック形のメモリセルを使いながら、ユーザにはリフレッシュの負担がまったくない1MビットバーチャリスタティックRAMを開発した。従来、スタティックRAMはダイナミックRAMより同世代では1/4の容量しか実現できなかったが、この方式



(a) アクセス波形



(b) 内部波形

図7. アクセス波形と電子ビームテスタによる内部波形 (a)について、遅い方のI/O波形はリフレッシュが通常アクセスの前に割り込んだ場合、速いほうはリフレッシュがない場合。

External waveforms and EB-tested internal waveforms

によりダイナミックRAMと同じ記憶容量で、実質的にリフレッシュ不要のスタティックRAMを同じ世代の技術で実現できるようになった。

文 献

- (1) T. Sakurai, et al.: Hot-carrier suppressed VLSI with submicron geometry. ISSCC, digest of tech. papers, pp. 272~273 (1985).